

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-283735

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl. ⁶	識別記号	F I	
G 1 1 B 20/14	3 1 1	G 1 1 B 20/14	3 1 1
	3 5 1		3 5 1 A
19/06	5 0 1	19/06	5 0 1 L
// G 1 1 B 7/00		7/00	T

審査請求 未請求 請求項の数 6 F D (全 14 頁)

(21) 出願番号 特願平9-102619

(22) 出願日 平成9年(1997)4月5日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 大庭 節生

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

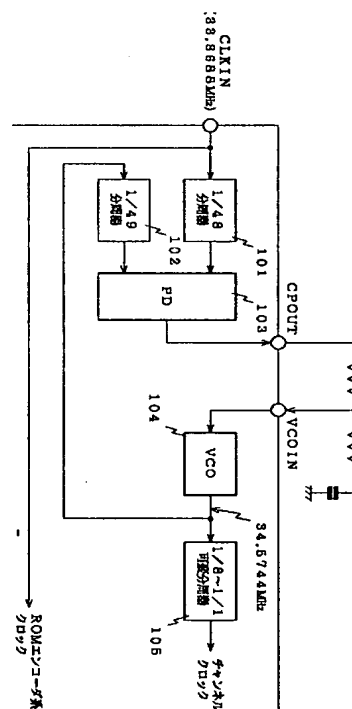
(74) 代理人 弁理士 宮川 俊崇

(54) 【発明の名称】 光ディスクのCDエンコード装置

(57) 【要約】

【課題】 CD-Rドライブ用1チップLSIでは、CDデコード系回路とCDエンコード系回路のクロックとして、周波数が異なる2種類のクロックを入力する必要がある、発振素子を2個使用するのでコストアップになるので、共通発振素子で構成することによって、コストダウンを図る。

【解決手段】 記録可能な光ディスクのCDエンコード装置において、書き込み動作中に必要となるチャンネルクロックを生成する手段として、CDデコード系クロックまたはその(2のn乗)倍あるいは1/(2のn乗)倍の周波数のクロックをM/N倍して生成するクロックシンセサイザを設ける。



【特許請求の範囲】

【請求項 1】 記録可能な光ディスクの C D エンコード装置において、

書き込み動作中に必要となるチャンネルクロックを生成する手段として、C D デコード系クロック、またはその (2 の n 乗) 倍あるいは $1 / (2 \text{ の } n \text{ 乗})$ 倍の周波数のクロックを M / N 倍して生成するクロックシンセサイザを備えたことを特徴とする C D エンコード装置。

【請求項 2】 記録可能な光ディスクの C D エンコード装置において、

書き込み動作中に必要となるチャンネルクロックの (2 の n 乗) 倍の周波数のクロックを C D デコード系回路で使用するクロックから生成するクロックシンセサイザと、生成された (2 の n 乗) 倍の周波数のクロックを数段階に分周する分周手段とを備えたことを特徴とする C D エンコード装置。

【請求項 3】 記録可能な光ディスクの C D エンコード装置において、

書き込み動作中に必要となるチャンネルクロックの $[m \times (2 \text{ の } n \text{ 乗})]$ 倍の周波数のクロックを C D デコード系回路で使用するクロックから生成するクロックシンセサイザと、生成された $[m \times (2 \text{ の } n \text{ 乗})]$ 倍の周波数のクロックを数段階に分周する分周手段とを備えたことを特徴とする C D エンコード装置。

【請求項 4】 記録可能な光ディスクの C D エンコード装置において、

書き込み動作中に必要となるチャンネルクロックを生成する手段として、チャンネルクロックの 2 倍の周波数のクロックを C D デコード系回路で使用するクロックから生成するクロックシンセサイザと、生成されたチャンネルクロックの 2 倍の周波数のクロックの両エッジ間のパルス幅単位で、ライトパルス幅を補正するパルス幅補正回路とを備えたことを特徴とする C D エンコード装置。

【請求項 5】 記録可能な光ディスクの C D エンコード装置において、

ライトストラテジ用コントロール信号の出力を複数有し、各コントロール信号のパルス出力幅の補正が、相互に独立にチャンネルクロックの 2 倍の周波数のクロックの両エッジ間隔パルス幅単位で可能で、複数の変速記録に対応可能なパルス幅補正機能を有するクロックシンセサイザを備えたことを特徴とする C D エンコード装置。

【請求項 6】 記録可能な光ディスクの C D エンコード装置において、

ライトストラテジ用コントロール信号の出力を複数有し、各コントロール信号のパルス出力幅をチャンネルクロックの 2 倍の周波数のクロックの両エッジ間隔パルス幅単位で補正可能で、生成されたパルスの途中パルスを

複数生成可能で、該途中パルスのパルス幅をチャンネルクロックの 2 倍の周波数のクロックの両エッジ間隔パルス幅単位で補正可能で、複数の変速記録に対応可能なパルス幅補正機能を有するクロックシンセサイザを備えたことを特徴とする C D エンコード装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、記録可能な光ディスクを駆動する光ディスク装置に係り、特に、光ディスク装置の C D エンコード装置に関する。

【0002】

【従来の技術】大容量の情報を記録する装置として、光ディスクが使用されている。ここで、光ディスクとドライブ構成について、概略を説明する。一般的な C D - R と C D - E ディスクは、書き込みが可能な (記録可能な) C D (コンパクトディスク) である。前者の C D - R (C D レコーダブル) は、1 回だけ書き込みが可能な C D である (なお、C D - W r i t e O n c e ともいわれている)。また、後者の C D - E (C D イレーザブル) は、複数回の書き込みが可能な C D である (なお、C D - R W : C D リライタブルともいわれている)。これらの C D - R や C D - E ディスク、すなわち、光ディスクは、次の図 24 のようなドライブによって情報の記録再生が行われる。

【0003】図 24 は、光ディスクドライブについて、その要部構成の一例を示す機能ブロック図である。図において、1 は光ディスク、2 はスピンドルモータ、3 は光ピックアップ、4 はモータドライバ、5 はリードアンプ、6 はサーボ手段、7 は C D デコーダ、8 は A T I P デコーダ、9 はレーザコントローラ、10 は C D エンコーダ、11 は C D - R O M エンコーダ、12 はバッファ RAM、13 はバッファマネージャ、14 は C D - R O M デコーダ、15 は A T A P I / S C S I インターフェース、16 は D / A コンバータ、17 は R O M、18 は C P U、19 は R A M を示し、L B はレーザ光、A u d i o はオーディオ出力信号を示す。

【0004】この図 24 において、矢印はデータが主に流れる方向を示しており、また、図を簡略化するために、図 24 の各ブロックを制御する C P U 18 には、太線のみを付けて各ブロックとの接続を省略している。光ディスクドライブの構成と動作は、次のとおりである。光ディスク 1 は、スピンドルモータ 2 によって回転駆動される。このスピンドルモータ 2 は、モータドライバ 4 とサーボ手段 5 により、線速度が一定になるように制御される。この線速度は、段階的に変更することが可能である。

【0005】光ピックアップ 3 は、図示されない半導体レーザ、光学系、フォーカスアクチュエータ、トラックアクチュエータ、受光素子およびポジションセンサを内蔵しており、レーザ光 L B を光ディスク 1 に照射する。

また、この光ピックアップ3は、シークモータによってスレッジ方向への移動が可能である。これらのフォーカスアクチュエータ、トラックアクチュエータ、シークモータは、受光素子とポジションセンサから得られる信号に基いて、モータドライバ4とサーボ手段5により、レーザ光LBのスポットが光ディスク1上の目的の場所に位置するように制御される。

【0006】そして、リード時には、光ピックアップ3によって得られた再生信号が、リードアンプ5で増幅されて2値化された後、CDデコーダ7に入力される。入力された2値化データは、このCDデコーダ7において、EFM(Eight to Fourteen Modulation)復調される。なお、記録データは、8ビットずつまとめられてEFM変調されており、このEFM変調では、8ビットを14ビットに変換し、結合ビットを3ビット付加して合計17ビットにする。この場合に、結合ビットは、それまでの「1」と「0」の数が平均的に等しくなるように付けられる。これを「DC成分の抑制」といい、DCカットされた再生信号のスライスレベル変動が抑圧される。

【0007】復調されたデータは、デインターリーブとエラー訂正の処理が行われる。その後、このデータは、CD-ROMデコーダ14へ入力され、データの信頼性を高めるために、さらに、エラー訂正の処理が行われる。このように2回のエラー訂正の処理が行われたデータは、バッファマネージャ13によって一旦バッファRAM12に蓄えられ、セクタデータとして揃った状態で、ATAPI/SCSIインターフェース15を介して、図示しないホストコンピュータへ一気転送される。なお、音楽データの場合には、CDデコーダ7から出力されたデータが、D/Aコンバータ16へ入力され、アナログのオーディオ出力信号Audioとして取り出される。

【0008】また、ライト時には、ATAPI/SCSIインターフェース15を通して、ホストコンピュータから送られてきたデータは、バッファマネージャ13によって一旦バッファRAM12に蓄えられる。そして、バッファRAM12内にある程度の量のデータが蓄積された状態で、ライト動作が開始されるが、この場合には、その前にレーザスポットを書き込み開始地点に位置させる必要がある。この地点は、トラックの蛇行により予め光ディスク1上に刻まれているウォブル信号によって求められる。

【0009】ウォブル信号には、ATIPと呼ばれる絶対時間情報が含まれており、この情報が、ATIPデコーダ8によって取り出される。また、このATIPデコーダ8によって生成される同期信号は、CDエンコーダ10へ入力され、光ディスク1上の正確な位置へのデータの書き込みを可能にしている。バッファRAM12のデータは、CD-ROMエンコーダ11やCDエンコー

ダ10において、エラー訂正コードの付加や、インターリーブが行われ、レーザコントローラ9、光ピックアップ3を介して、光ディスク1に記録される。

【0010】なお、EFM変調されたデータは、ビットストリームとしてチャンネルビットレート4.3218Mbps(標準速)でレーザを駆動する。この場合の記録データは、588チャンネルビット単位でEFMフレームを構成する。チャンネルクロックとは、このチャンネルビットの周波数のクロックを意味する。以上が、図24の光ディスクドライブの構成と動作の概要である。

【0011】ところで、このような光ディスクドライブ、例えばCD-Rドライブで使用する1チップLSIが、すでに市販されている(例えば、三洋電機株式会社製のLC8959)。このようなCD-Rドライブ用1チップLSIでは、CDデコード系回路(ディスクから読み出した信号を処理する回路)とCDエンコード系回路(書き込みデータを実際にディスクに書き込む信号を処理する回路)のクロックは、周波数が異なっているのので、一般的に2種類のクロック入力が必要である。

【0012】

【発明が解決しようとする課題】先の従来例で説明したように、CD-Rドライブ用1チップLSIでは、CDデコード系回路とCDエンコード系回路のクロックとして、周波数が異なる2種類のクロックを入力する必要がある。しかし、2種類のクロックを発生させるためには、2個の発振素子が必要であり、発振素子は安価でないため、コストアップになる、という問題がある。この発明では、CD-Rドライブ用1チップLSIで使用するクロックを、共通発振素子で構成することにより、コストダウンを図ることを課題とする。具体的にいえば、先の図24に示した光ディスクドライブにおいて、CDエンコーダ10が分担するCDエンコード機能に係り、特に、CDデコード系とCDエンコード系とで、そのチャンネルクロックの共通化を実現することを課題とする(請求項1の発明)。

【0013】また、実際の装置では、書き込み後のリード特性を良好にするために、さらに外付け回路が必要であり、その際には、CPU(マイクロコンピュータあるいはシステムコントローラ)から指令を与えなければならない。この発明では、ライトストラテジの細かな補正が可能で、しかも、プログラミング負担の少ない、低コストのCDエンコード装置を実現することを課題とする(請求項2から請求項6の発明)。

【0014】

【課題を解決するための手段】請求項1の発明では、記録可能な光ディスクのCDエンコード装置において、書き込み動作中に必要となるチャンネルクロックを生成する手段として、CDデコード系クロックまたはその(2のn乗)倍あるいは1/(2のn乗)倍の周波数のクロックをM/N倍して生成するクロックシンセサイザを設

けている。

【0015】請求項2の発明では、記録可能な光ディスクのCDエンコード装置において、書き込み動作中に必要となるチャンネルクロックの $(2のn乗)$ 倍の周波数のクロックをCDデコード系回路で使用するクロックから生成するクロックシンセサイザと、生成された $(2のn乗)$ 倍の周波数のクロックを数段階に分周する分周手段とを設けている。

【0016】請求項3の発明では、記録可能な光ディスクのCDエンコード装置において、書き込み動作中に必要となるチャンネルクロックの $[m \times (2のn乗)]$ 倍の周波数のクロックをCDデコード系回路で使用するクロックから生成するクロックシンセサイザと、生成された $[m \times (2のn乗)]$ 倍の周波数のクロックを数段階に分周する分周手段とを設けている。

【0017】請求項4の発明では、記録可能な光ディスクのCDエンコード装置において、書き込み動作中に必要となるチャンネルクロックを生成する手段として、チャンネルクロックの2倍の周波数のクロックをCDデコード系回路で使用するクロックから生成するクロックシンセサイザと、生成されたチャンネルクロックの2倍の周波数のクロックの両エッジ間のパルス幅単位で、ライトパルス幅を補正するパルス幅補正回路とを設けている。

【0018】請求項5の発明では、記録可能な光ディスクのCDエンコード装置において、ライトストラテジ用コントロール信号の出力を複数有し、各コントロール信号のパルス出力幅の補正が、相互に独立にチャンネルクロックの2倍の周波数のクロックの両エッジ間隔パルス幅単位で可能で、複数の変速記録に対応可能なパルス幅補正機能を有するクロックシンセサイザを設けている。

【0019】請求項6の発明では、記録可能な光ディスクのCDエンコード装置において、ライトストラテジ用コントロール信号の出力を複数有し、各コントロール信号のパルス出力幅をチャンネルクロックの2倍の周波数のクロックの両エッジ間隔パルス幅単位で補正可能で、生成されたパルスの途中パルスを複数生成可能で、該途中パルスのパルス幅をチャンネルクロックの2倍の周波数のクロックの両エッジ間隔パルス幅単位で補正可能で、複数の変速記録に対応可能なパルス幅補正機能を有するクロックシンセサイザを設けている。

【0020】

【発明の実施の形態】

第1の実施の形態

この第1の実施の形態は、請求項1と請求項2の発明に対応している。この第1の実施の形態では、書き込み動作中に必要となるチャンネルクロックを、CDデコード系クロック、またはその $(2のn乗)$ 倍あるいは $1/(2のn乗)$ 倍の周波数のクロックを M/N 倍して、CDエンコード系クロックを生成する点に第1の特徴を有

しており（請求項1の発明）、VCOで発生させるクロックの周波数を、予めチャンネルクロックの $(2のn乗)$ 倍の周波数とし、この $(2のn乗)$ 倍の周波数のクロックを、分周器によって分周する点に第2の特徴を有している（請求項2の発明）。このように、CDデコード系クロックとCDエンコード系クロックとを共通の発振素子で構成可能にすることにより、装置の低コスト化が実現される。最初に、この発明のCDエンコード装置が収納される1チップLSI、すなわち、CDデコード系クロックからCDエンコード系クロックを生成するクロックシンセサイザを使用するのに好適な1チップLSIについて説明する。

【0021】図2と図3は、EFMエンコード機能とCD-ROMエンコード/デコード機能を有する1チップLSIについて、その要部構成の一例を示す機能ブロック図である。図における符号は図24と同様であり、インターフェースには同じ符号にaを付けて示し、21はクロックジェネレータ、22はクロックシンセサイザ、23はCIRCエンコーダ、24はサブコードオペレータ、25はセクタプロセッサ、26aはCD-DAインターフェース、27aはRAMインターフェース、28aはDRAMインターフェースを示す。

【0022】この図2と図3に示したEFMエンコード機能とCD-ROMエンコード/デコード機能を有する1チップLSIは、先の図24に示した光ディスクドライブの機能ブロックの内、主としてEFMエンコード機能とCD-ROMエンコード/デコード機能のブロックをLSI化したもので、基本的な動作原理は、従来の各ブロックと同様である。この図2と図3で、サブコードインターフェース24a、CD-DAインターフェース26a、CDエンコーダ10、バッファマネージャ13、セクタプロセッサ25、DRAMインターフェース28a、ATAPIインターフェース15a、システムコントローラ18aは、リード/ライト・データ処理回路を構成している。システムコントローラ18aには、図24に示したCPU18から1チップLSIに対する指令を書き込んだり、1チップLSIの内部状態を読み出ししたりするレジスタ群が内蔵されている。この発明のCDエンコード装置は、この図2と図3のブロックで、CDエンコーダ10と、クロックジェネレータ21と、クロックシンセサイザ22に直接関連している。そこで、これらの部分を、次の図4に詳しく示す。

【0023】図4は、図2に示したCDエンコーダ10と、クロックジェネレータ21と、クロックシンセサイザ22に関連する部分について、その要部構成の一例を示す機能ブロック図である。図における符号は図2と同様であり、31はEFM出力タイミング制御部、32は比較器、33は現在時間レジスタ、34は目標時間レジスタ、35はセクタ、36はATIP時間レジスタ、37はサブQ時間レジスタ、41はストラテジ変換部、

42は加算器、43はセレクタ、44はEFMフレームシンクパターン部、45はEFM変調部、46はセレクタ、47はマージンビット部、51はパターン検出部、61はサンプルホールド信号生成部を示す。

【0024】この図4に示したCDエンコーダ部、すなわち、CDエンコード装置は、CDエンコード動作時に、クロックシンセサイザ22によってチャンネルクロックが生成される。そして、この図4と、先の図2の一部のインターフェース信号（ピンに供給される信号）については、次の図5に示している。

【0025】図5は、図4に示したCDエンコード装置における各ピンのインターフェース信号の内容を示す図である。

【0026】この図5に示したようなインターフェース信号の入出力によって、図4に示したCDエンコード装置が作動されるが、すでに述べたように、この発明のCDエンコード装置は、CDデコード系クロックとCDエンコード系クロックとを共通の発振素子で構成した点に特徴を有している。そこで、次に、この発明のCDエンコード装置で使用するクロックを発生するクロックシンセサイザについて、詳しく説明する。

【0027】図1は、この発明のCDエンコード装置で使用するクロックを発生するクロックシンセサイザの要部について、実施の形態の一例を示す機能ブロック図である。図において、101は $1/48$ 分周器、102は $1/49$ 分周器、103はPD（Phase Detector）、104はVCO（Voltage Controlled Oscillator）、105は可変分周器を示す。

【0028】この図1に示すクロックシンセサイザは、CDデコード系で使用するクロックCLKINが、このクロックシンセサイザに入力されると、このCDデコード系のクロックの周波数と、VCO104の出力クロックのM/N倍（ここでは、 $M=49$ 、 $N=48$ ）とが等しくなるように、PD103が位相差を検出してVCO104をコントロールし、チャンネルクロックを生成するように動作する。詳しくいえば、クロックシンセサイザは、33.8688MHzのCDデコード系クロックCLKINが入力されると、 $1/48$ 分周器101によって $1/48$ の周波数に分周する。

【0029】また、VCO104からは、制御入力信号VCOINによって34.5744MHzのクロックが発生される。この場合に、VCO104から出力される34.5744MHzのクロックは、 $1/49$ 分周器102によって $1/49$ の周波数に分周される。そして、それぞれ分周されたクロックは、PD103へ入力されて位相差が検出され、位相差検出信号CPOUTとしてVCO104へフィードバックされることになる。このように、PD103によってクロックの位相差を検出し、その検出信号によりVCO104をコントロールすること

によって、チャンネルクロックを生成することができる。

【0030】この図1では、VCO104で生成されるクロックを入力クロックの $49/48$ 倍とし、チャンネルクロックの8倍の34.5744MHzを生成している。したがって、この34.5744MHzのクロックは、8倍速エンコード時に必要となるチャンネルクロックである。この8倍速用のクロックを、VCO104の次段の可変分周器105（図1には $1/8 \sim 1/1$ と表記している）によって何段かに分周すれば、設定された記録速度に対応するチャンネルクロックが生成される。この可変分周器105の分周比は、図24のCPU18によってコントロールされ、その分周比を $1/8 \sim 1/1$ のように切り換えることによって、1倍速、2倍速、4倍速、8倍速等の記録速度に対応可能なチャンネルクロックを生成することができる。

【0031】また、VCO104で生成するクロックを、チャンネルクロックの8倍、16倍、32倍、…、（2のn乗）倍とすれば、より高速の変速に対応可能であることはいうまでもない。以上に図1に関連して説明したように、クロックシンセサイザを構成することによって、ライト時に必要となるチャンネルクロックを、CDデコード系クロックから生成することが可能になり、また、書き込み動作中に必要となるチャンネルクロックの（2のn乗）倍の周波数のクロックをCDデコード系回路で使用するクロックから生成するクロックシンセサイザと、生成された（2のn乗）倍の周波数のクロックを数段階に分周する可変分周手段とを設けることによって、簡単な構成で、1倍速、2倍速、4倍速、8倍速、…、（2のn乗）倍速の変速記録に対応することが可能になる。したがって、2種類の周波数の発振子を1つにすることが可能になり、CD-R/CD-Eドライブを安価に構成することができる。

【0032】第2の実施の形態

この第2の実施の形態は、請求項3の発明に対応しているが、請求項1と請求項2の発明にも関連している。先の第2の実施の形態では、1倍速、2倍速、4倍速、8倍速、…、（2のn乗）倍速の変速記録に対応することができるCDエンコード装置、具体的にはそのために使用されるクロックシンセサイザと、可変分周手段とについて説明した。この第2の実施の形態では、例えば、3倍速、6倍速、12倍速、…、 $3 \times (2のn乗)$ 倍速の変速記録に対応することを可能にしたCDエンコード装置を構成する点に特徴を有している。

【0033】図6は、この発明のCDエンコード装置で使用するクロックを発生するクロックシンセサイザについて、その要部構成の第2の実施の形態の一例を示す機能ブロック図である。図における符号は図1と同様であり、111は $1/64$ 分周器、112は第2の可変分周器を示す。

【0034】この図6に示すクロックシンセサイザも、基本的な構成は、先の図1と同様であるが、この図6では、VCO104が発生するクロックの周波数が、チャンネルクロックの6倍の25.9308MHzの場合で、このクロックを次段の第2の可変分周器112によって、1/1に分周、すなわち、そのまま6倍速のエンコード時、あるいは1/2に分周して3倍速のエンコード時のチャンネルクロックを生成する点が異なっている。なお、この場合には、入力クロック(CDデコード系のクロックCLKIN)を49/64倍しているのので、図1の1/48分周器101の代りに、1/64分周器111を使用する。

【0035】したがって、この図6では、チャンネルクロックの3倍で、かつ、2の1乗のクロックが生成され、6倍速エンコード用のチャンネルクロックが生成されることになる。この関係を一般的に表現すれば、チャンネルクロックの $[m \times (2^n)]$ 倍の周波数のクロックが生成される。ここで、 m は(2の n 乗)以外の整数、 n は整数を示す。そして、図6の場合には、 $m=3$ 、 $n=1$ である。この図6のように構成することによって、先の第1の実施の形態で述べた(2の n 乗)倍速エンコード時のチャンネルクロックの他に、(2の n 乗)倍速エンコード以外の、例えば、3倍速、6倍速、12倍速、……、 $3 \times (2^n)$ 倍速エンコード等のチャンネルクロックが得られるので、各種の変速記録に対応することが可能になる。

【0036】第3の実施の形態

この第3の実施の形態は、請求項4の発明に対応しているが、請求項5の発明にも関連している。CD-R/CD-Eドライブにおいて、ディスク書き込み時のライトストラテジに関しては、オレンジブックにも規定されているが、実際の装置においては、書き込み後の再生特性が、オレンジブックに示されたライトストラテジでは十分に満たされないのので、さらに微細なパルス幅の補正が必要となる。そして、このような微細な補正を行うためには、外付け回路が必要となり、コストアップの一因になっている。この第3の実施の形態では、書き込み動作中に必要となるチャンネルクロックを生成するために、チャンネルクロックの2倍の周波数のクロックをCDデコード系回路で使用するクロックから生成し、生成されたチャンネルクロックの2倍の周波数のクロックの両エッジ間のパルス幅単位で、ライトパルス幅を補正する点に特徴を有している。

【0037】図7は、この発明のCDエンコード装置で使用するクロックを発生するクロックシンセサイザの要部構成について、その第3の実施の形態の一例を示す機能ブロック図である。図における符号は図1と同様であり、121は1/2分周器を示す。

【0038】この図7には、先の図1のVCO104と可変分周器105の周辺の構成のみを示しており、その

他の構成は、図1と同様である。このように、VCO104によって、1/2分周器121へ出力するチャンネルクロックの2倍の周波数のクロックを生成し、VCO104によって生成されたクロックを1/2分周する1/2分周器121を付加すれば、先の図1の場合と同様に、可変分周器105へ渡される周波数と同じ周波数のチャンネルクロック、すなわち、8倍速エンコード時に使用される34.5744MHzのチャンネルクロックが得られる。

【0039】このように構成することによって、チャンネルクロックの立ち上がりから次の立ち上がりまでの時間を1Tとすると、図2と図3の1チップLSIで生成されたEFM信号を、このVCO104によって生成された2倍の周波数のクロックの両エッジで任意のクロック分シフト可能なシフトレジスタを通すことにより、0.25T単位で、EFM信号を任意にシフトさせることができる。そのために、シフトレジスタを2系統内部に設けておき、この2つのシフトレジスタの出力にアンド処理あるいはオア処理を施すことによって、EFM信号のシフトに加えて、パルス幅補正を行うことが可能になる。

【0040】図8は、この発明のCDエンコード装置について、第3の実施の形態におけるパルス幅補正回路の一例を示すブロック図である。図において、131は第1のシフトレジスタ、132は第2のシフトレジスタ、133はアンドゲート回路、134はアオゲート回路を示す。

【0041】図9は、図8に示したパルス幅補正回路の動作を説明するタイムチャートである。

【0042】先の図8に示す2つのシフトレジスタ、すなわち、第1のシフトレジスタ131と第2のシフトレジスタ132は、入力されるチャンネルクロックの2倍の周波数のクロックの立ち上がり、立ち下がり、EFM信号をシフトしてアンドゲート回路133へ出力する。なお、アンドゲート回路133の代りに、アオゲート回路134を付加すれば、オア出力が得られる。そこで、図9のタイムチャートに示すように、第1のシフトレジスタ131から出力されるパルス(0.25T×a遅れ)と、第2のシフトレジスタ132から出力されるパルス(0.25T×b遅れ)とを、アンド処理すれば、AND出力のように、EFM信号に比べて小さいパルスが出力され、パルス幅の補正が行われることになる。また、オア処理すれば、OR出力のように、EFM信号に比べて大きいパルスが得られる。

【0043】したがって、ライトストラテジの微補正が可能になる。すなわち、従来のように、外付け回路を使用することなく、また、CPUの負担を増加することなく、良好なライト特性のCD-R/CD-Eドライブを構成することができる。なお、先の図8では、VCO104によって、チャンネルクロックの2倍の周波数のク

ロックを生成する場合を示したが、さらに、4倍速クロック、8倍速クロック、……と速いクロックを生成すれば、一層微細な補正が可能であることはいうまでもない。

【0044】第4の実施の形態

この第4の実施の形態は、請求項5の発明に対応している。先の第3の実施の形態では、パルスのシフト動作、およびパルス幅の補正を行う場合について説明した。このようなCDエンコード装置を使用すれば、ライトパルス幅の微補正は可能である。しかし、実際のドライブ装置では、書き込み後の再生特性を満足させるために、オレンジブックに規定されているライトパルスに対して、両方向の補正が必要である。すなわち、パルスの高さで決定されるパワー方向で調整したストラテジと、パルス幅方向で調整したストラテジとを合わせた補正を行ったライトストラテジが必要となる。

【0045】図10は、この発明のCDエンコード装置について、第4の実施の形態によるライトパルスの補正動作を説明する図である。図において、矢印①と②は補正方向を示す。

【0046】この図10に示すように、実際に使用するライトパルスは、矢印①で示した左右方向の補正と、矢印②で示した上下方向の補正とが必要である。そして、矢印②の方向の補正は、先の図24のレーザコントローラ9によって行われる。

【0047】図11は、この発明のCDエンコード装置について、第4の実施の形態によるレーザコントローラ9周辺の回路構成を示すブロック図である。図において、LDはレーザ、EFM1とEFM2はパルス幅補正されたEFM信号を示す。

【0048】図12は、図11に示したレーザの駆動状態を説明するためのタイムチャートである。

【0049】先の図11に示したように、レーザコントローラ9に関しては、複数の信号EFM1、EFM2の入力が可能である。なお、各EFM信号に対して電流ゲインが可変で、それらの電流を加算可能な1チップLSIは、先の図2と図3に示した構成である。この第4の実施の形態では、先の第3の実施の形態で説明したパルス幅補正ブロックを2つ設け、それぞれパルス幅を補正したEFM信号（以下、信号EFM1と信号EFM2という）を出力可能にした点に特徴を有している。ここで、信号EFM1、すなわち、図11のレーザコントローラ9へ与えられる信号EFM1のストラテジについて説明する。

【0050】図13は、信号EFM1のCD-Rストラテジを説明するためのタイムチャートである。

【0051】この図13に示すように、信号EFM1の長さは、 $0.25T$ 刻みで、 $(n-0.5T) \sim nT$ の範囲で設定することができる。次に、信号EFM2のストラテジについて説明する。

【0052】図14は、信号EFM2のCD-Rストラテジを説明するためのタイムチャートである。

【0053】この図14に示すように、信号EFM2のピークパルス幅は、内部の信号EFMの $3T/4T$ その他に対応して、それぞれ別個に $0.25T$ 刻みで、 $0.5T \sim 2T$ の範囲で設定することができる。このような設定は、先の図4に示した機能ブロック図で、ストラテジ変換部41によって内部のEFM信号のストラテジが変換され、その端子EFM1あるいは端子EFM2へ出力される。

【0054】図15は、内部のEFM信号のストラテジ変換によって、端子EFM1と端子EFM2へ出力される信号設定の一例を示す図で、(1)は端子EFM1へのストラテジ変換と端子EFM2へのピークパルス幅の設定、(2)は信号EFM1の長さ、(3)は信号EFM2のピークパルス幅を示す。

【0055】図16は、内部のEFM信号のストラテジ変換によって、端子EFM2へ出力されるピークパルス幅の一例を示す図で、(1)は $4T$ パルスと $3T/4T$ 以外のパルスに対するピークパルス幅の設定、(2)は信号EFM幅が $4T$ のとき端子EFM2に出力されるピークパルス幅、(3)は信号EFM幅が $5T \sim 11T$ のとき端子EFM2に出力されるピークパルス幅を示す。

【0056】この図15と図16に示したように、内部のEFM信号のストラテジ変換によって、信号EFM1の長さと、信号EFM2のピークパルス幅とを任意に設定することができる。このような設定を行うために、レジスタは8ビットのものが5個設けられており、アドレス 0×70 から 0×71 および 0×77 から 0×79 （ $0 \times$ は16進表記の意味）に配置されている。

【0057】この2つの信号EFM1とEFM2は、独立に補正可能である。これら2つの信号EFM1、EFM2、すなわち、2つのライトストラテジ用コントロール信号EFM1、EFM2が、先の図24のレーザコントローラ9へ与えられて、先の図12に示したようなライトパルスが得られるように、レーザを駆動させる。このような補正は、先の第3の実施の形態で説明した図8の回路によって実現される。したがって、この第4の実施の形態によれば、先の第3の実施の形態による効果に加えて、より良好な書き込み特性が得られる装置を提供することが可能になる。

【0058】第5の実施の形態

この第5の実施の形態は、請求項6の発明に対応している。CD-Eドライブは、CD-Rドライブに比べて、より複雑なライトストラテジが要求される。そのため、実際の装置において、書き込み後の再生特性を満足させるためには、先の第4の実施の形態で説明したライトストラテジを、さらに微細に補正する必要がある。先の第4の実施の形態では、2つのライトストラテジ用コントロール信号EFM1、EFM2を生成する回路について

説明した。この第5の実施の形態では、これら2つのライトストラテジ用コントロール信号EFM1、EFM2について、さらに微細な補正を行う。

【0059】図17は、この発明のCDエンコード装置について、第5の実施の形態によるパルス幅補正手段の一例を示すブロック図である。図において、141は可変分周器、142は第1のパルス幅補正回路、143は第2ののパルス幅補正回路、144は第3のパルス幅補正回路、145はインバータ、146はアンドゲート回路、147と148はアオゲート回路、149はレーザコントローラ、150はレーザを示す。

【0060】図18は、図17に示したパルス幅補正手段の動作を説明するタイムチャートである。

【0061】先の図17に示したパルス幅補正手段によって、信号EFM2は、ピークパルス幅が、0.25T刻みで幅補正が可能である。また、途中パルス生成回路により生成された途中パルスは、そのパルス幅が、同様に、0.25T刻みで幅補正が可能である。次に、信号EFM1は、同じくパルス幅補正手段によって、オフパルス幅が、0.25T刻みで幅補正が可能である。

【0062】図19は、内部のEFM信号が5Tのとき、ライトストラテジ用コントロール信号EFM1、EFM2の生成状態を説明するタイムチャートである。

【0063】この図19に詳しく示したように、内部のEFM信号が5Tのときは、信号EFM1の途中パルスとオフパルスの幅は、0.25T刻みに設定することができる。信号EFM2のピークパルスと途中パルスの幅も、同様に、0.25T刻みに設定することができる。このようにして生成されたライトストラテジ用コントロール信号EFM1を、イレースパワーのコントロール信号、信号EFM2を、ライトパワーのコントロール信号として、レーザコントローラ149へ入力すれば、図18の最下方に示したように、CD-Eドライブで要求される複雑なライト波形が得られる。

【0064】図20は、図17に示したレーザコントローラ149について、その内部構造の一例を示す図である。

【0065】この図20に示したレーザコントローラ149において、ライトストラテジ用コントロール信号EFM1によってコントロールされるドライバの抵抗を、イレースパワーになるように調整し、信号EFM2によってコントロールされるドライバの抵抗を、(ピークパワー) - (イレースパワー) になるように調整すれば、レーザ150には、各ドライバの出力電流が加算された値の電流が印加されることになる。

【0066】次に、信号EFM1とEFM2のストラテジについて説明する。

【0067】図21は、内部のEFM信号幅が3Tのとき、ストラテジ変換によって出力されるピークパルス幅、途中のパルス幅、オフパルス幅の設定の一例を示す

図で、(1)はピークパルス幅、途中のパルス幅、オフパルス幅の設定、(2)はピークパルス幅、(3)は途中のパルス幅、(4)はオフパルス幅を示す。

【0068】図22は、内部のEFM信号幅が4Tのとき、ストラテジ変換によって出力されるピークパルス幅、途中のパルス幅、オフパルス幅の一例を示す図で、(1)はピークパルス幅、途中のパルス幅、オフパルス幅の設定、(2)はピークパルス幅、(3)は途中のパルス幅、(4)はオフパルス幅を示す。

【0069】図23は、内部のEFM信号幅が5T~11Tのとき、ストラテジ変換によって出力されるピークパルス幅、途中のパルス幅、オフパルス幅の一例を示す図で、(1)はピークパルス幅、途中のパルス幅、オフパルス幅の設定、(2)はピークパルス幅、(3)は途中のパルス幅、(4)はオフパルス幅を示す。

【0070】この図21から図23に示したように、内部のEFM信号幅が、3T、4T、5T~11Tのとき、ピークパルス幅、途中のパルス幅、オフパルス幅は、それぞれ0.25Tから1.5Tの範囲で、0.25T刻みに設定することが可能である。以上のように、この第5の実施の形態によれば、これら2つのライトストラテジ用コントロール信号EFM1、EFM2について、さらに微細な補正を行うことができる。

【0071】

【発明の効果】請求項1の光ディスクのCDエンコード装置では、バッファメモリ書き込み動作中に必要となるチャンネルクロックをCDエンコード系クロック、またはその2のn乗倍あるいは1/(2のn乗)倍の周波数のクロックをM/N倍して生成するクロックシンセサイザを設けている。したがって、CDデコード系とCDエンコード系で、共通発振素子で構成することが可能になり、一層の低コスト化が実現される。

【0072】請求項2のCDエンコード装置では、書き込み動作中に必要となるチャンネルクロックの2のn乗倍の周波数のクロックをCDエンコード系回路で使用するクロックから生成するクロックシンセサイザと、生成した2のn乗倍の周波数のクロックを数段階に分周する分周手段とを設けている。したがって、簡単な構成で、1倍速、2倍速、4倍速、8倍速、……、(2のn乗)倍速の変速記録に対応することが可能になる。

【0073】請求項3のCDエンコード装置は、書き込み動作中に必要となるチャンネルクロックの[m×(2のn乗倍)]の周波数のクロックをCDエンコード系回路で使用するクロックから生成するクロックシンセサイザと、生成した[m×(2のn乗倍)]の周波数のクロックを数段階に分周する分周手段とを備えている。したがって、例えば、3倍速、6倍速、12倍速、……、3×(2のn乗)倍速の変速記録に対応することが可能になる。

【0074】請求項4のCDエンコード装置では、書き

込み動作中に必要となるチャンネルクロックの2倍のクロックをCDエンコード系回路で使用するクロックから生成するクロックシンセサイザと、生成した2倍のクロックの両エッジ間のパルス幅単位でライトパルス幅を補正するパルス幅補正回路とを備えている。したがって、従来必要とされたオレンジブックのライトストラテジに対する微細な補正のための外付け回路を省略することが可能になり、簡単な構成で、低コストの装置が実現される。

【0075】請求項5のCDエンコード装置では、ライトストラテジ用コントロール信号の出力を複数有し、各コントロール信号のパルス出力幅の補正が、相互に独立にチャンネルクロックの2倍の周波数のクロックの両エッジ間隔パルス幅単位で可能であり、複数の変速記録に対応可能なクロックシンセサイザと、パルス幅補正回路とを設けている。したがって、先の請求項4のCDエンコード装置と同様に、従来必要とされたオレンジブックのライトストラテジに対する微細な補正のための外付け回路を省略することが可能になり、簡単な構成で、低コストの装置が実現されると共に、より良好な書き込み特性が得られる装置を構成することができる。

【0076】請求項6のCDエンコード装置では、ライトストラテジ用コントロール信号の出力を複数有し、各コントロール信号のパルス出力幅をチャンネルクロックの2倍の周波数のクロックの両エッジ間隔パルス幅単位で補正可能で、生成したパルスの途中パルスを複数生成可能で、該途中パルスのパルス幅をチャンネルクロックの2倍の周波数のクロックの両エッジ間隔パルス幅単位で補正可能で、複数の変速記録に対応可能なクロックシンセサイザと、パルス幅補正回路とを備えている。したがって、先の請求項4のCDエンコード装置と同様に、従来必要とされたオレンジブックのライトストラテジに対する微細な補正のための外付け回路を省略することが可能になり、簡単な構成で、低コストの装置が実現されると共に、CPUの処理に負担をかけることなく、より良好な書き込み特性を有するCD-R/CD-Eドライブが得られる。

【図面の簡単な説明】

【図1】この発明のCDエンコード装置で使用するクロックを発生するクロックシンセサイザの要部について、実施の形態の一例を示す機能ブロック図である。

【図2】EFMエンコード機能とCD-ROMエンコード/デコード機能を有する1チップLSIについて、その要部構成の一例を示す機能ブロック図である。

【図3】EFMエンコード機能とCD-ROMエンコード/デコード機能を有する1チップLSIについて、その要部構成の一例を示す機能ブロック図である。

【図4】図2に示したCDエンコーダ10と、クロックジェネレータ21と、クロックシンセサイザ22に関連する部分について、その要部構成の一例を示す機能ブ

ック図である。

【図5】図4に示したCDエンコード装置における各ビンのインターフェース信号の内容を示す図である。

【図6】この発明のCDエンコード装置で使用するクロックを発生するクロックシンセサイザについて、その要部構成の第2の実施の形態の一例を示す機能ブロック図である。

【図7】この発明のCDエンコード装置で使用するクロックを発生するクロックシンセサイザの要部構成について、その第3の実施の形態の一例を示す機能ブロック図である。

【図8】この発明のCDエンコード装置について、第3の実施の形態におけるパルス幅補正回路の一例を示すブロック図である。

【図9】図8に示したパルス幅補正回路の動作を説明するタイムチャートである。

【図10】この発明のCDエンコード装置について、第4の実施の形態によるライトパルスの補正動作を説明する図である。

【図11】この発明のCDエンコード装置について、第4の実施の形態によるレーザコントローラ9周辺の回路構成を示すブロック図である。

【図12】図11に示したレーザの駆動状態を説明するためのタイムチャートである。

【図13】信号EFM1について、CD-Rストラテジを説明するためのタイムチャートである。

【図14】信号EFM2について、CD-Rストラテジを説明するためのタイムチャートである。

【図15】内部のEFM信号のストラテジ変換によって、端子EFM1と端子EFM2へ出力される信号設定の一例を示す図である。

【図16】内部のEFM信号のストラテジ変換によって、端子EFM2へ出力されるピークパルス幅の一例を示す図である。

【図17】この発明のCDエンコード装置について、第5の実施の形態によるパルス幅補正手段の一例を示すブロック図である。

【図18】図17に示したパルス幅補正手段の動作を説明するタイムチャートである。

【図19】内部のEFM信号が5Tのとき、ライトストラテジ用コントロール信号EFM1、EFM2の生成状態を説明するタイムチャートである。

【図20】図17に示したレーザコントローラ149について、その内部構造の一例を示す図である。

【図21】内部のEFM信号幅が3Tのとき、ストラテジ変換によって出力されるピークパルス幅、途中のパルス幅、オフパルス幅の設定の一例を示す図である。

【図22】内部のEFM信号幅が4Tのとき、ストラテジ変換によって出力されるピークパルス幅、途中のパルス幅、オフパルス幅の一例を示す図である。

【図23】内部のEFM信号幅が5T～11Tのとき、ストラテジ変換によって出力されるピークパルス幅、途中のパルス幅、オフパルス幅の一例を示す図である。

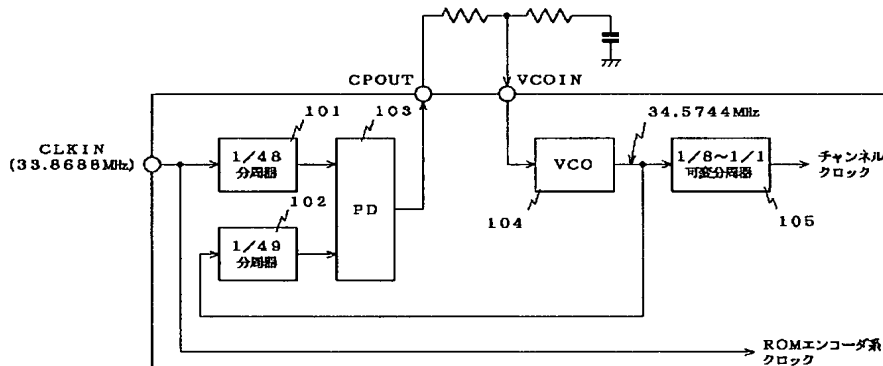
【図24】光ディスクドライブについて、その要部構成

の一例を示す機能ブロック図である。

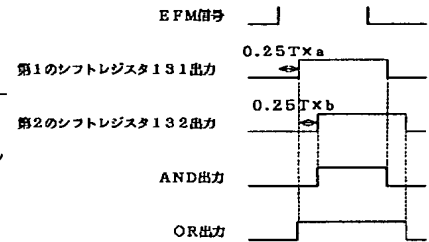
【符号の説明】

101…1/48分周器、102…1/49分周器、103…PD、104…VCO、105…可変分周器

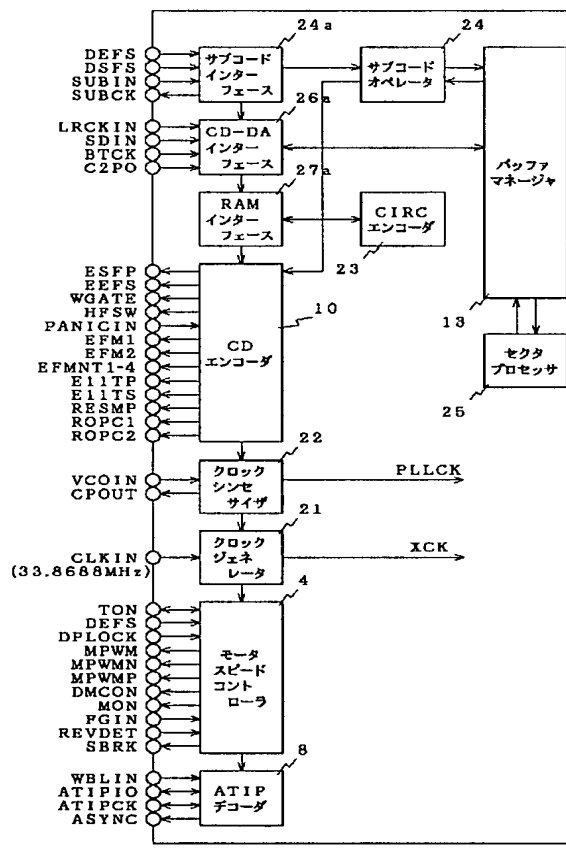
【図1】



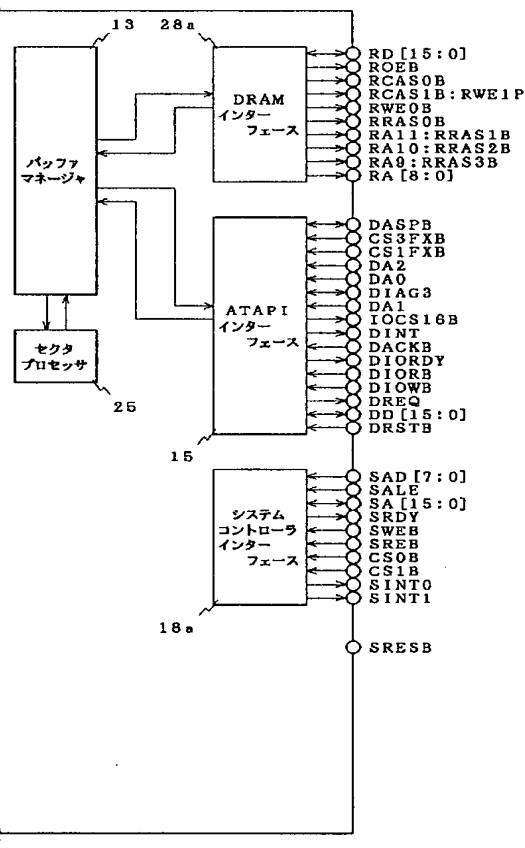
【図9】



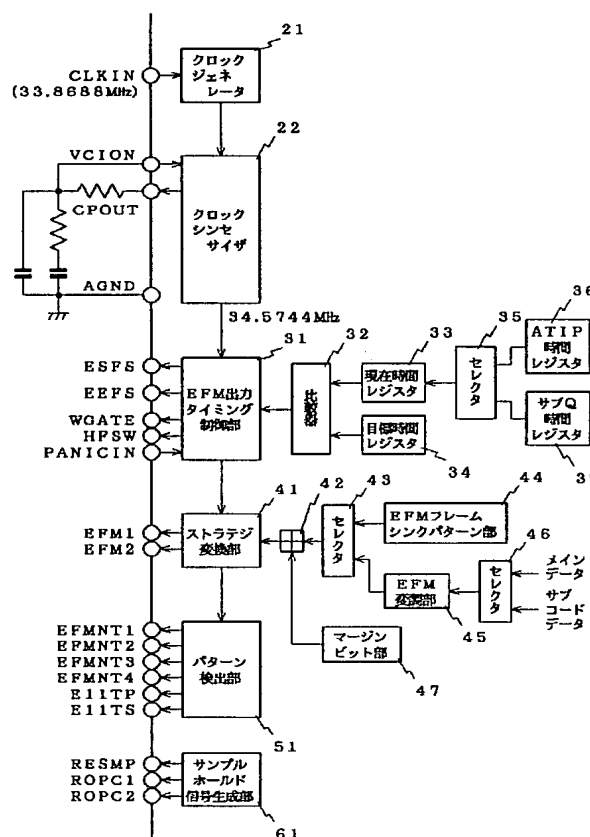
【図2】



【図3】

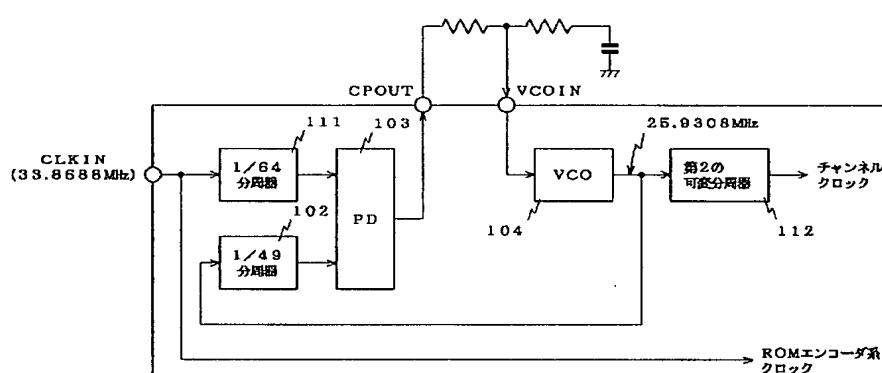


【图 5】

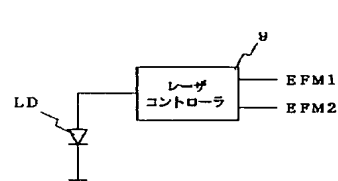


Pin Name	Type	Description
CD ENCODER Interface Pin Descriptions		
WBLIN	IN	WOBBLE IN: 2値化されたWobble入力です。
ATIPIO	I/O	ATIP: FSK値切換のATIP信号です。外部FSK使用時は、ATIP信号入力になります。
ATIPCK	I/O	ATIP CLOCK: ATIPデータストロブ用クロックです。外部FSK使用時は、ATIP CLK信号入力になります。
ASYN	OUT	ATIP SYNC: 検出ATIP Sync信号です。
WGATE	OUT	WRITE GATE:
HFSW	OUT	HIGH FREQUENCY: 高周波変性スイッチ
PANICIN	IN	PANIC IN: パニック入力
EFM1	OUT	EFM1: EFM信号
EFM2	OUT	EFM2: EFMピークバルス
EEFMNT1	OUT	EFM NT1: EFMビットパターン長インジケータ
EEFMNT2	OUT	EFM NT2: EFMビットパターン長インジケータ
EEFMNT3	OUT	EFM NT3: EFMビットパターン長インジケータ
EEFMNT4	OUT	EFM NT4: EFMビットパターン長インジケータ
E11TP	OUT	EFM 11T PIT PATTERN: EFM11Tビットパターンインジケータ
E11TS	OUT	EFM 11T SPACE PATTERN: EFM11Tスペースパターンインジケータ
EFCK	OUT	EFM BIT CLOCK: CD Encoderにて内部クロックより生成するEFMビットクロック信号です。
ESFS	OUT	ENCODER SUBCODE FRAME SYNC: CD Encoderにて内部クロックより生成するサブコードフレームシンク信号です。
EEFS	OUT	ENCODER EFM SYNC: CD Encoderにて内部クロックより生成するEFMシンク信号です。
RESMP	OUT	READ LEVEL SAMPLE: 記録時のリードレベルをサンプルホールドするための信号です。
ROPC1	OUT	RUNNING OPC1: 記録時にランニングOPCを行うための反射光波長のサンプルホールド用信号1
ROPC2	OUT	RUNNING OPC2: 記録時にランニングOPCを行うための反射光波長のサンプルホールド用信号2

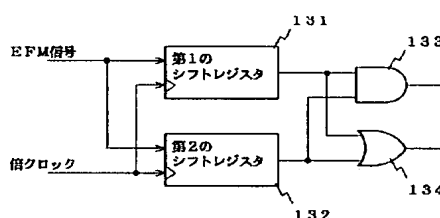
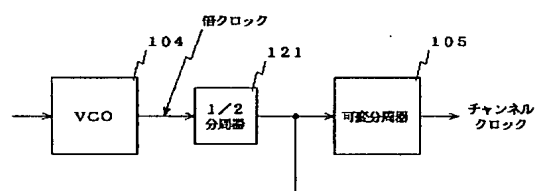
【图 10】



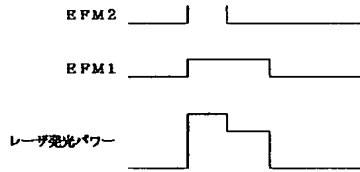
【图 1-1】



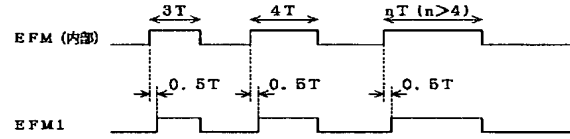
【图8】



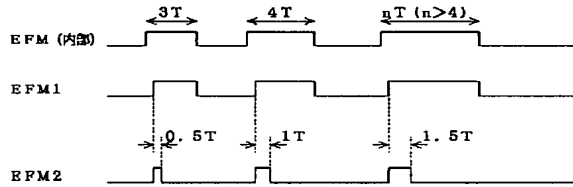
【図12】



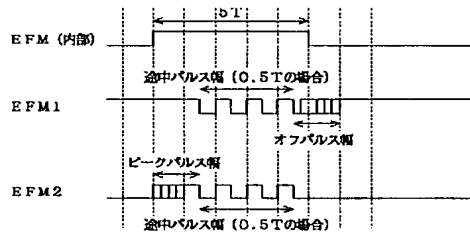
【図13】



【図14】



【図19】



【図15】

bit	code	内容	1	0	Res
7..5	NMINUS1T	EFM1出力に対するストラテジ変換の設定	as below		0
4..2	3TAMEND	3Tパルスに対するピークパルス幅の設定	as below		0
1..0		(reserved)			

(1)

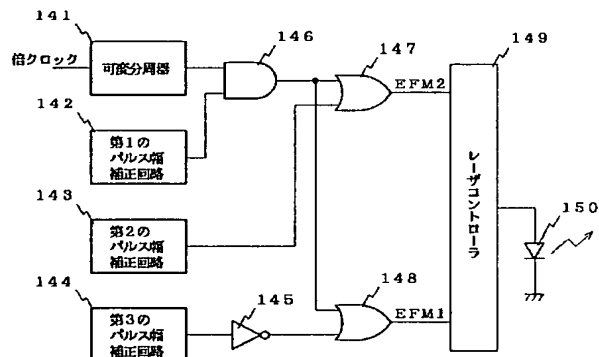
bit7	bit6	bit5	機能
0	0	0	nT長さのEFM1を出力します。
0	0	1	(n-0.25) T長さのEFM1を出力します。
0	1	0	(n-0.5) T長さのEFM1を出力します。
0	1	1	(n-0.75) T長さのEFM1を出力します。
1	0	0	(n-1) T長さのEFM1を出力します。
1	0	1	(n-1.25) T長さのEFM1を出力します。
1	1	0	(reserved)
1	1	1	(reserved)

(2)

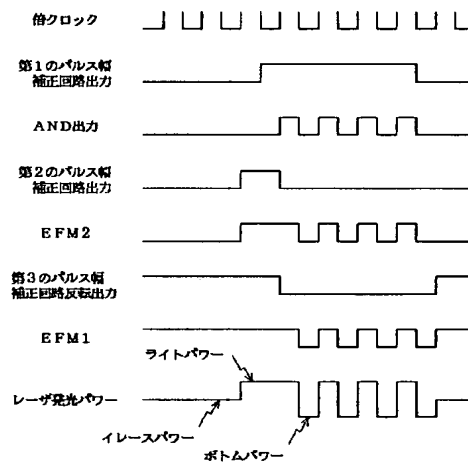
bit4	bit3	bit2	機能
0	0	0	ピークパルス幅を0.5Tに設定。
0	0	1	ピークパルス幅を0.75Tに設定。
0	1	0	ピークパルス幅を1Tに設定。
0	1	1	ピークパルス幅を1.25Tに設定。
1	0	0	ピークパルス幅を1.5Tに設定。
1	0	1	ピークパルス幅を1.75Tに設定。
1	1	0	ピークパルス幅を2Tに設定。

(3)

【図17】



【図18】



【図16】

bit	code	内 容	1	0	Res
7..5	4TAMEND	4Tパルスに対するピークパルス幅の設定	as below		0
4..2	NTAMEND	3T, 4T以外に対するピークパルス幅の設定	as below		0
		(reserved)			

(1)

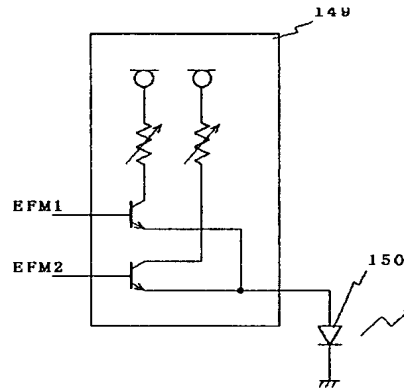
bit7	bit6	bit5	機 能
0	0	0	ピークパルス幅を0.5Tに設定。
0	0	1	ピークパルス幅を0.75Tに設定。
0	1	0	ピークパルス幅を1Tに設定。
0	1	1	ピークパルス幅を1.25Tに設定。
1	0	0	ピークパルス幅を1.5Tに設定。
1	0	1	ピークパルス幅を1.75Tに設定。
1	1	0	ピークパルス幅を2Tに設定。

(2)

bit4	bit3	bit2	機 能
0	0	0	ピークパルス幅を0.5Tに設定。
0	0	1	ピークパルス幅を0.75Tに設定。
0	1	0	ピークパルス幅を1Tに設定。
0	1	1	ピークパルス幅を1.25Tに設定。
1	0	0	ピークパルス幅を1.5Tに設定。
1	0	1	ピークパルス幅を1.75Tに設定。
1	1	0	ピークパルス幅を2Tに設定。

(3)

【図20】



【図21】

bit	code	内 容	1	0	Res
7..5	3TPeak	3Tパルスに対する先頭ピークパルス幅の設定	as below		0
4..3	3TPulsWid	3Tパルスに対する途中のパルス幅の設定	as below		0
2..0	3TOffPuls	3Tパルスに対する後段オフパルス幅の設定	as below		0

(1)

bit7	bit6	bit5	機 能
0	0	0	ピークパルス幅を0.5Tに設定。
0	0	1	ピークパルス幅を0.75Tに設定。
0	1	0	ピークパルス幅を1Tに設定。
0	1	1	ピークパルス幅を1.25Tに設定。
1	0	0	ピークパルス幅を1.5Tに設定。
1	0	1	(reserved)
1	1	0	(reserved)

(2)

bit4	bit3	機 能
0	0	途中のパルス幅を0.25Tに設定。
0	1	途中のパルス幅を0.5Tに設定。
1	0	途中のパルス幅を0.75Tに設定。
1	1	途中のパルス幅を1.0Tに設定。

(3)

bit2	bit1	bit0	機 能
0	0	0	オフパルス幅を0.25Tに設定。
0	0	1	オフパルス幅を0.5Tに設定。
0	1	0	オフパルス幅を0.75Tに設定。
0	1	1	オフパルス幅を1Tに設定。
1	0	0	オフパルス幅を1.25Tに設定。
1	0	1	オフパルス幅を1.5Tに設定。
1	1	0	(reserved)

(4)

【図22】

bit	code	内 容	1	0	Res
7..5	4TPeak	4Tパルスに対する先頭ピークパルス幅の設定	as below		0
4.3	4TPulseWid	4Tパルスに対する途中のパルス幅の設定	as below		0
2..0	4TOffPulse	4Tパルスに対する後段オフパルス幅の設定	as below		0

(1)

bit7	bit6	bit5	機 能
0	0	0	ピークパルス幅を0.5Tに設定。
0	0	1	ピークパルス幅を0.75Tに設定。
0	1	0	ピークパルス幅を1Tに設定。
0	1	1	ピークパルス幅を1.25Tに設定。
1	0	0	ピークパルス幅を1.5Tに設定。
1	0	1	(reserved)
1	1	0	(reserved)

(2)

bit4	bit3	機 能
0	0	途中のパルス幅を0.25Tに設定。
0	1	途中のパルス幅を0.5Tに設定。
1	0	途中のパルス幅を0.75Tに設定。
1	1	途中のパルス幅を1.0Tに設定。

(3)

bit2	bit1	bit0	機 能
0	0	0	オフパルス幅を0.25Tに設定。
0	0	1	オフパルス幅を0.5Tに設定。
0	1	0	オフパルス幅を0.75Tに設定。
0	1	1	オフパルス幅を1Tに設定。
1	0	0	オフパルス幅を1.25Tに設定。
1	0	1	オフパルス幅を1.5Tに設定。
1	1	0	(reserved)

(4)

【図23】

bit	code	内 容	1	0	Res
7..5	NTPeak	5~11Tパルスに対する先頭ピークパルス幅の設定	as below		0
4.3	NTPulseWid	5~11Tパルスに対する途中のパルス幅の設定	as below		0
2..0	NTOffPulse	5~11Tパルスに対する後段オフパルス幅の設定	as below		0

(1)

bit7	bit6	bit5	機 能
0	0	0	ピークパルス幅を0.5Tに設定。
0	0	1	ピークパルス幅を0.75Tに設定。
0	1	0	ピークパルス幅を1Tに設定。
0	1	1	ピークパルス幅を1.25Tに設定。
1	0	0	ピークパルス幅を1.5Tに設定。
1	0	1	(reserved)
1	1	0	(reserved)

(2)

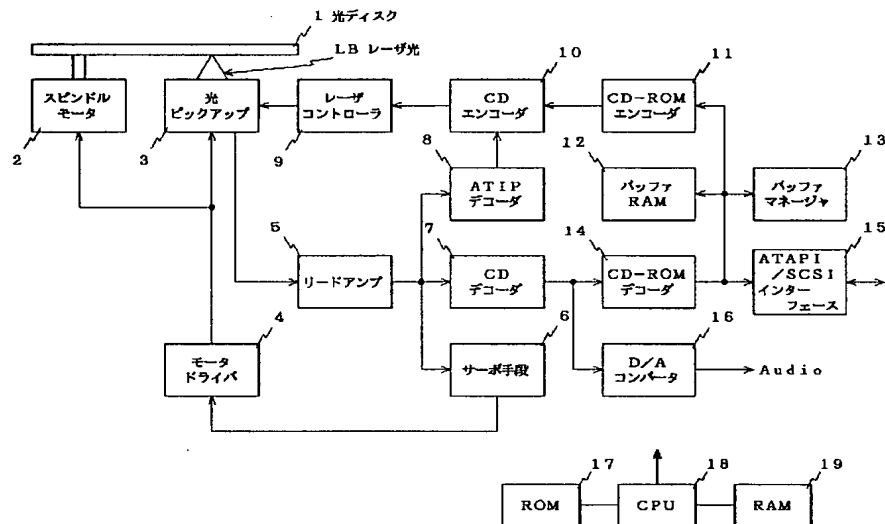
bit4	bit3	機 能
0	0	途中のパルス幅を0.25Tに設定。
0	1	途中のパルス幅を0.5Tに設定。
1	0	途中のパルス幅を0.75Tに設定。
1	1	途中のパルス幅を1.0Tに設定。

(3)

bit2	bit1	bit0	機 能
0	0	0	オフパルス幅を0.25Tに設定。
0	0	1	オフパルス幅を0.5Tに設定。
0	1	0	オフパルス幅を0.75Tに設定。
0	1	1	オフパルス幅を1Tに設定。
1	0	0	オフパルス幅を1.25Tに設定。
1	0	1	オフパルス幅を1.5Tに設定。
1	1	0	(reserved)

(4)

【図24】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成13年4月13日(2001. 4. 13)

【公開番号】特開平10-283735
 【公開日】平成10年10月23日(1998. 10. 23)
 【年通号数】公開特許公報10-2838
 【出願番号】特願平9-102619
 【国際特許分類第7版】

G11B 20/14 311
 351
 19/06 501
 // G11B 7/00

【F1】

G11B 20/14 311
 351 A
 19/06 501 L
 7/00 T

【手続補正書】

【提出日】平成11年12月2日(1999. 12. 2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 記録可能な光ディスクのCDエンコード装置において、書き込み動作中に必要となるチャンネルクロックを生成する手段として、CDデコード系クロック、またはその(2のn乗)倍あるいは1/(2のn乗)倍の周波数のクロックをM/N倍して前記チャンネルクロックを生成するクロックシンセサイザを備えたことを特徴とするCDエンコード装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項5

【補正方法】変更

【補正内容】

【請求項5】 記録可能な光ディスクのCDエンコード装置において、ライトストラテジ用コントロール信号の出力を複数有し、各コントロール信号のパルス出力幅が、相互に独立にチャンネルクロックの2倍の周波数のクロックの両エッジ間隔パルス幅単位で補正可能で、複数の変速記録に対応可能なパルス幅補正機能を有するクロックシンセサイザを備えたことを特徴とするCDエンコード装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決するための手段】請求項1の発明では、記録可能な光ディスクのCDエンコード装置において、書き込み動作中に必要となるチャンネルクロックを生成する手段として、CDデコード系クロックまたはその(2のn乗)倍あるいは1/(2のn乗)倍の周波数のクロックをM/N倍して前記チャンネルクロックを生成するクロックシンセサイザを設けている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】請求項5の発明では、記録可能な光ディスクのCDエンコード装置において、ライトストラテジ用コントロール信号の出力を複数有し、各コントロール信号のパルス出力幅が、相互に独立にチャンネルクロックの2倍の周波数のクロックの両エッジ間隔パルス幅単位で補正可能で、複数の変速記録に対応可能なパルス幅補正機能を有するクロックシンセサイザを設けている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正内容】

【0071】

【発明の効果】請求項1の光ディスクのCDエンコード装置では、バッファメモリ書き込み動作中に必要となる

チャンネルクロックをCDエンコード系クロック、またはその2のn乗倍あるいは1/(2のn乗)倍の周波数のクロックをM/N倍して前記チャンネルクロックを生成するクロックシンセサイザを設けている。したがって、CDデコード系とCDエンコード系で、共通発振素子で構成することが可能になり、一層の低コスト化が実現される。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正内容】

【0075】請求項5のCDエンコード装置では、ライトストラテジ用コントロール信号の出力を複数有し、各コントロール信号のパルス出力幅が、相互に独立にチャンネルクロックの2倍の周波数のクロックの両エッジ間隔パルス幅単位で補正可能であり、複数の変速記録に対応可能なクロックシンセサイザと、パルス幅補正回路とを設けている。したがって、先の請求項4のCDエンコード装置と同様に、従来必要とされたオレンジブックのライトストラテジに対する微細な補正のための外付け回路を省略することが可能になり、簡単な構成で、低コストの装置が実現されると共に、より良好な書き込み特性が得られる装置を構成することができる。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-283735

(43)Date of publication of application : 23.10.1998

(51)Int.Cl. G11B 20/14

G11B 20/14

G11B 19/06

// G11B 7/00

(21)Application number : 09-102619 (71)Applicant : RICOH CO LTD

(22)Date of filing : 05.04.1997 (72)Inventor : OBA SADAO

(54) OPTICAL DISK CD ENCODING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To realize cost reduction by generating two kinds of clocks of different frequencies with one oscillator by generating a write system clock of the frequency of M/N times using a synthesizer from the CD decoding system clock or the frequency clock of the $2n$ times or $1/(2n)$ times.

SOLUTION: The CD decoding system clock CLKIN of 33.8688 MHz is converted to the signal having the frequency of $1/48$ by a $1/48$ frequency divider 101 within a clock synthesizer. VCO 10 is controlled by a control input signal VCOIN to generate the clock of 34.5744 MHz. This clock is divided by $1/49$ frequency divider and is then compared with an output of the $1/48$ frequency divider with a Phase Detector PD 103 and its phase difference controls VCO 104. As a result, the channel clock of the $49/48$ frequency is generated for the CD decoding system clock.

LEGAL STATUS [Date of request for examination] 02.12.1999

[Date of sending the examiner's decision of rejection] 30.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3631586

[Date of registration] 24.12.2004

[Number of appeal against examiner's decision of rejection] 2004-008812

[Date of requesting appeal against examiner's decision of rejection] 28.04.2004

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any

damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect

the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] CD encoding equipment characterized by having the clock synthesizer which increases M/N time the clock of a CD decoding system clock, its $(2^{n\text{-th}} \text{ power})$ twice, or twice $[1/(2^{n\text{-th}} \text{ power}) \text{ twice}]$ frequency, and generates it as a means to generate the channel clock which is needed during write-in actuation in CD encoding equipment of a recordable optical disk.

[Claim 2] CD encoding equipment characterized by having the clock synthesizer which generates a clock twice $(2^{n\text{-th}} \text{ power})$ the frequency of the channel clock which is needed during write-in actuation from the clock used in CD decoding system circuit in CD encoding equipment of a recordable optical disk, and the dividing means which carries out dividing of the clock of the generated twice $(2^{n\text{-th}} \text{ power})$ as many frequency as this to several steps.

[Claim 3] CD encoding equipment characterized by to have the clock synthesizer generated in CD encoding equipment of a recordable optical disk from the clock

which uses the clock of one times the frequency of write-in [$m \times (2^n)$] of the channel clock which is needed working in CD decoding system circuit, and the dividing means which carries out dividing of the clock of one times the generated frequency of [$m \times (2^n)$] to several steps.

[Claim 4] The CD encoding equipment characterized by to have the pulse width amendment circuit which amend light pulse width in pulse width between the clock synthesizer which generate a clock twice the frequency of a channel clock from the clock which use in a CD decoding system circuit as a means generate the channel clock which be needed during write-in actuation in CD encoding equipment of a recordable optical disk , and both the twice as many edges of the clock of a frequency as the generated channel clock .

[Claim 5] CD encoding equipment characterize by to have the clock synthesizer in which it have two or more outputs of the control signal for light strategies , and amendment of the pulse output width of face of each control signal be possible independently of mutual in both edge spacing pulse width of a clock twice the frequency of a channel clock , and have the pulse width amendment function to in_which it can respond to two or more gear change records , in CD encoding equipment of a recordable optical disk .

[Claim 6] In CD encoding equipment of a recordable optical disk, it has two or more outputs of the control signal for light strategies. The pulse output width of

face of each control signal can be amended in both edge spacing pulse width of a clock twice the frequency of a channel clock. Two or more generation of a pulse is possible in the middle of the generated pulse, and the pulse width of a pulse can be amended in both edge spacing pulse width of a clock twice the frequency of a channel clock in the middle of this. CD encoding equipment characterized by having the clock synthesizer which has the pulse width amendment function in which it can respond to two or more gear change records.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the optical disk unit which drives a recordable optical disk, and relates to CD encoding equipment of an optical

disk unit especially.

[0002]

[Description of the Prior Art] The optical disk is used as equipment which records mass information. Here, an outline is explained about an optical disk and a drive configuration. Common CD-R and a common CD-E disk are CD (it is recordable) (compact disk) which can be written in. The former CD-R (CD recorder bull) is CD which can be written in only once (in addition, called CD-Write Once). moreover, the latter CD-E (CD -- erasable) is CD which can write in multiple times (in addition, called CD-RW:CD lilac ITABURU). Informational record playback is performed by drive [like following drawing 24], whose these CD-Rs and CD-E disks, i.e., optical disk, are.

[0003] Drawing 24 is the functional block diagram showing an example of the important section configuration about an optical disk drive. In drawing 1 a spindle motor and 3 for an optical disk and 2 An optical pickup, In 4, Motor Driver and 5 a servo means and 7 for lead amplifier and 6 CD decoder, 8 a laser controller and 10 for an ATIP decoder and 9 CD encoder, 11 Buffer RAM and 13 for a CD-ROM encoder and 12 A buffer manager, 14 -- in a D/A converter and 17, ROM and 18 show CPU, 19 shows [a CD-ROM decoder and 15 / ATAPI/SCSI interface, and 16] RAM, LB shows a laser beam and Audio shows an audio output signal.

[0004] In this drawing 24 , in order to show the direction where data mainly flow

and to simplify drawing, an arrow head attaches only a thick wire to CPU18 which controls each block of drawing 24 , and is omitting connection with each block to it. The configuration and actuation of an optical disk drive are as follows. The rotation drive of the optical disk 1 is carried out by the spindle motor 2. This spindle motor 2 is controlled by Motor Driver 4 and the servo means 5 so that linear velocity becomes fixed. This linear velocity can be changed in stairway.

[0005] The optical pickup 3 builds in the semiconductor laser which is not illustrated, optical system, the focal actuator, the truck actuator, the photo detector, and the position sensor, and irradiates a laser beam LB at an optical disk 1. Moreover, migration in the direction of Sledge is possible for this optical pickup 3 by the seeking motor. Based on the signal acquired from a photo detector and a position sensor, these focal actuators, a truck actuator, and a seeking motor are controlled so that the spot of a laser beam LB is located in the location of the purpose on an optical disk 1 with Motor Driver 4 and the servo means 5.

[0006] And after the regenerative signal acquired by the optical pickup 3 at the time of a lead is amplified and made binary with the lead amplifier 5, it is inputted into the CD decoder 7. In this CD decoder 7, the EFM (Eight to Fourteen Modulation) recovery of the inputted binary-ized data is carried out. In addition, 8 bits of record data are gathered at a time, eight-to-fourteen modulation is carried

out, and in this eight-to-fourteen modulation, they change 8 bits into 14 bits, carry out triplet addition of the joint bit, and make it a total of 17 bits. In this case, a joint bit is attached so that the number till then of "1" and "0" may become equal on the average. This is called "control of DC component" and the slice level fluctuation of a regenerative signal by which DC cut was carried out is oppressed.

[0007] As for the data to which it restored, processing of a day interleave and an error correction is performed. Then, in order to input this data into the CD-ROM decoder 14 and to raise the dependability of data, processing of an error correction is performed further. Thus, the data with which two processings of an error correction were performed are once stored in a buffer RAM 12 by the buffer manager 13, and are transmitted to the host computer which is not illustrated through ATAPI / SCSI interface 15 in the condition of having gathered as sector data at a stretch. In addition, in the case of music data, the data outputted from the CD decoder 7 are inputted into D/A converter 16, and are taken out as an audio output signal Audio of an analog.

[0008] Moreover, the data which let ATAPI / SCSI interface 15 pass, and have been sent from the host computer at the time of a light are once stored in a buffer RAM 12 by the buffer manager 13. And although light actuation is started where a certain amount of quantity of data are stored into a buffer RAM 12, it is

necessary to write in a laser spot before that and to make it located in an initiation point in this case. This point is called for by the wobble signal beforehand minced by meandering of a track on the optical disk 1.

[0009] The absolute time information called ATIP is included in the wobble signal, and this information is taken out by the ATIP decoder 8. Moreover, the synchronizing signal generated by this ATIP decoder 8 is inputted into the CD encoder 10, and enables the writing of the data to the exact location on an optical disk 1. In the CD-ROM encoder 11 or the CD encoder 10, addition of an error correction code and an interleave are performed and the data of a buffer RAM 12 are recorded on an optical disk 1 through the laser controller 9 and an optical pickup 3.

[0010] In addition, the data by which eight-to-fourteen modulation was carried out drive laser by channel bit rate 4.3218Mbps (standard speed) as a bit stream. The record data in this case constitute the EFM frame from 588-channel bitwise. A channel clock means the clock of the frequency of this channel bit. The above is the configuration of the optical disk drive of drawing 24 , and an outline of operation.

[0011] By the way, the 1 chip LSI used with such an optical disk drive, for example, a CD-R drive, is already marketed (for example, LC8959 by SANYO Electric Co., Ltd.). With such 1 chip LSI for CD-R drives, since frequencies differ,

generally the clock of CD decoding system circuit (circuit which processes the signal read from the disk), and CD encoding system circuit (circuit which processes the signal which actually writes write-in data in a disk) needs two kinds of clocked into.

[0012]

[Problem(s) to be Solved by the Invention] As the previous conventional example explained, it is necessary to input the clock which is two kinds from which a frequency differs as a clock of CD decoding system circuit and CD encoding system circuit with the 1 chip LSI for CD-R drives. However, in order to generate two kinds of clocks, there is a problem that it is required, and two oscillation components become a cost rise since an oscillation component is not cheap. Let it be a technical problem to aim at a cost cut in this invention by constituting the clock used with the 1 chip LSI for CD-R drives from a common oscillation component. Speaking concretely, in the optical disk drive shown in previous drawing 24 , starting CD encoding function which the CD encoder 10 shares, and letting it be a technical problem to realize communalization of the channel clock by CD decoding system and CD encoding system especially (invention of claim 1).

[0013] Moreover, with actual equipment, in order to make the lead property after writing good, an external circuit is still more nearly required and a command

must be given from CPU (a microcomputer or system controller) in that case. Let it be a technical problem for fine amendment of light strategy to be possible and to realize CD encoding equipment of low cost with few programming burdens moreover in this invention (invention of claim 2 to claim 6).

[0014]

[Means for Solving the Problem] In invention of claim 1, the clock synthesizer which increases M/N times the clock of one CD decoding system clock, its (2^n) times, or times the frequency of $1/(2^n)$, and generates it as a means to generate the channel clock which is needed during write-in actuation is prepared in CD encoding equipment of a recordable optical disk.

[0015] In invention of claim 2, the clock synthesizer which generates a clock (2^n) times the frequency of the channel clock which is needed during write-in actuation from the clock used in CD decoding system circuit, and the dividing means which carries out dividing of the clock of the generated (2^n) times as many frequency as this to several steps are established in CD encoding equipment of a recordable optical disk.

[0016] In invention of claim 3, the clock synthesizer generated from the clock which uses the clock of one times the frequency of write-in $[m \times (2^n)]$ of the channel clock which is needed working in CD decoding system circuit, and the dividing means which carries out dividing of the clock of one times the

generated frequency of $[m \times (2^{n\text{-th power}})]$ to several steps are established in CD encoding equipment of a recordable optical disk.

[0017] In invention of claim 4, the pulse-width amendment circuit which amends light pulse width has prepared in the CD encoding equipment of a recordable optical disk in pulse width between the clock synthesizer which generates a clock twice the frequency of a channel clock from the clock used in CD decoding system circuit as a means generate the channel clock which is needed during write-in actuation, and both the twice as many edges of the clock of a frequency as the generated channel clock.

[0018] In invention of claim 5, in CD encoding equipment of a recordable optical disk, it had two or more outputs of the control signal for light strategies, and amendment of the pulse output width of face of each control signal is possible independently of mutual in both edge spacing pulse width of a clock twice the frequency of a channel clock, and has prepared the clock synthesizer which has the pulse width amendment function in which it can respond to two or more gear change records.

[0019] In CD encoding equipment of an optical disk recordable in invention of claim 6 It has two or more outputs of the control signal for light strategies, and the pulse output width of face of each control signal can be amended in both edge spacing pulse width of a clock twice the frequency of a channel clock. Two

or more generation of a pulse is possible in the middle of the generated pulse, the pulse width of a pulse could be amended in both edge spacing pulse width of a clock twice the frequency of a channel clock in the middle of this, and the clock synthesizer which has the pulse width amendment function in which it can respond to two or more gear change records is prepared.

[0020]

[Embodiment of the Invention]

The gestalt of operation of the 1st of ***** of the 1st operation supports invention of claim 1 and claim 2. With the gestalt of this 1st operation, the clock of one CD decoding system clock, its $(2^{n\text{-th power}})$ twice, or times the frequency of $1/(2^{n\text{-th power}})$ is doubled for the channel clock which is needed during write-in actuation M/N. It has the 1st description at the point which generates CD encoding system clock (invention of claim 1). It has the 2nd description at the point which uses as a clock twice $(2^{n\text{-th power}})$ the frequency of a channel beforehand the frequency of the clock generated in VCO, and carries out dividing of the clock of a these $(2^{n\text{-th power}})$ twice as many frequency as this with a counting-down circuit (invention of claim 2). Thus, low cost-ization of equipment is realized by enabling the configuration of CD decoding system clock and CD encoding system clock with a common oscillation component. First, the 1 chip LSI LSI, i.e., suitable 1 chip to use the clock

synthesizer which generates CD encoding system clock from CD decoding system clock, with which CD encoding equipment of this invention is contained is explained.

[0021] Drawing 2 and drawing 3 are the functional block diagrams showing an example of the important section configuration about the 1 chip LSI which has an EFM encoding function and CD-ROM encoding / decoding function. the sign in drawing -- drawing 24 -- the same -- the same sign as an interface -- a -- attaching -- being shown -- 21 -- a clock generator and 22 -- a clock synthesizer and 23 -- a CIRC encoder and 24 show a sub-code operator, and, as for a CD-DA interface and 27a, in 25, a sector processor and 26a show a DRAM interface, as for a RAM interface and 28a.

[0022] The 1 chip LSI which has the EFM encoding function and CD-ROM encoding / decoding function which were shown in this drawing 2 and drawing 3 is what mainly LSI-ized the block of an EFM encoding function and CD-ROM encoding / decoding function among functional block of the optical disk drive shown in previous drawing 24 , and the fundamental principle of operation of it is the same as that of each conventional block. Sub-code interface 24a, CD-DA interface 26a, the CD encoder 10, the buffer manager 13, the sector processor 25, DRAM interface 28a, ATAPI interface 15a, and system controller 18a constitute the read/write data-processing circuit from this drawing 2 and drawing

3 . The register group which writes in the command to the 1 chip LSI, or reads the internal state of the 1 chip LSI from CPU18 shown in drawing 24 is built in system controller 18a. CD encoding equipment of this invention is directly related with the CD encoder 10 and the clock generator 21 to the clock synthesizer 22 with the block of this drawing 2 and drawing 3 . Then, these parts are shown in following drawing 4 in detail.

[0023] Drawing 4 is the functional block diagram showing an example of the important section configuration about the CD encoder 10 shown in drawing 2 , a clock generator 21, and the part relevant to a clock synthesizer 22. the sign in drawing -- drawing 2 -- the same -- 31 -- an EFM output timing control section and 32 -- a comparator and 33 -- a current time register and 34 -- a target time register and 35 -- a selector and 36 -- an ATIP time amount register and 37 -- a sub Q<1> interval register and 41 -- a strategy transducer and 42 -- an adder and 43 -- a selector and 44 -- in the EFM frame sink pattern section and 45, the margin bit section and 51 show a pattern detecting element, and, as for the eight-to-fourteen modulation section and 46, 61 shows the sample hold signal generation section, as for a selector and 47.

[0024] As for CD encoder section shown in this drawing 4 , i.e., CD encoding equipment, a channel clock is generated by the clock synthesizer 22 at the time of CD encoding actuation. And some interface signals (signal supplied to a pin)

of this drawing 4 and previous drawing 2 are shown in following drawing 5 .

[0025] Drawing 5 is drawing showing the contents of the interface signal of each pin in CD encoding equipment shown in drawing 4 .

[0026] Although CD encoding equipment shown in drawing 4 operates by I/O of an interface signal as shown in this drawing 5 , as already stated, CD encoding equipment of this invention has the description at the point which constituted CD decoding system clock and CD encoding system clock from a common oscillation component. Then, the clock synthesizer which generates next the clock used with CD encoding equipment of this invention is explained in detail.

[0027] Drawing 1 is the functional block diagram showing an example of the gestalt of operation about the important section of the clock synthesizer which generates the clock used with CD encoding equipment of this invention. In drawing, in 101, PD (Phase Detectr) and 104 show VCO (Voltage Controlled Oscilator) and, as for 1/48 counting-down circuit and 102, 105 shows a variable divider, as for 1/49 counting-down circuit and 103.

[0028] PD103 will detect phase contrast and the clock synthesizer shown in this drawing 1 will control VCO104, and if the clock CLKIN used by CD decoding system is inputted into this clock synthesizer, it will operate so that a channel clock may be generated, so that M/N times (here M= 49, N= 48) may become equal [the frequency of the clock of this CD decoding system, and the output

clock of VCO104]. If it says in detail, and 33.8688MHz CD decoding system clock CLKIN is inputted, dividing of the clock synthesizer will be carried out to 1/48 of frequencies with 1/48 counting-down circuit 101.

[0029] Moreover, from VCO104, a 34.5744MHz clock is generated by the control input signal VCOIN. In this case, dividing of the 34.5744MHz clock outputted from VCO104 is carried out to 1/49 of frequencies by 1/49 counting-down circuit 102. And it will be inputted into PD103, phase contrast will be detected, and the clock by which dividing was carried out, respectively will be fed back to VCO104 as a phase contrast detecting signal CPOUT. Thus, a channel clock is generable by PD's103 detecting the phase contrast of a clock and controlling VCO104 by the detecting signal.

[0030] In this drawing 1 , the clock generated by VCO104 is made into 49/48 time of an input clock, and 8 times as much 34.5744MHz as a channel clock is generated. Therefore, this 34.5744MHz clock is a channel clock which is needed at the time of 8X encoding. If dividing of the clock for these 8 X is carried out to several steps by the variable divider 105 (it is written as 1 / 8 - 1/1 to drawing 1) of the next step of VCO104, the channel clock corresponding to the set-up recording rate will be generated. The division ratio of this variable divider 105 is controlled by CPU18 of drawing 24 , and can generate the channel clock which can respond to recording rates, such as 1X, 2X, 4X, and 8X, by switching that

division ratio like $1/8 - 1/1$.

[0031] Moreover, it cannot be overemphasized in the clock generated by VCO104 8 times, 16 times, 32 times, ..., twice (2^n -th power), then that it can deal [of a channel clock] with high-speed gear change more. As explained above in relation to drawing 1 , by constituting a clock synthesizer It becomes possible to generate the channel clock which is needed at the time of a light from CD decoding system clock. Moreover, the clock synthesizer which generates a clock twice (2^n -th power) the frequency of the channel clock which is needed during write-in actuation from the clock used in CD decoding system circuit, By establishing the good variations periphery means which carries out dividing of the clock of the generated twice (2^n -th power) as many frequency as this to several steps, it becomes possible with an easy configuration 1X, 2X, 4X, 8X, ..., to correspond to gear change record of **** (2^n -th power). Therefore, it becomes possible to set the radiator of two kinds of frequencies to one, and it can constitute CD-R / CD-E drive cheaply.

[0032] Although the gestalt of operation of the 2nd of ***** of the 2nd operation supports invention of claim 3, it relates also to invention of claim 1 and claim 2. The gestalt of previous operation of the 2nd explained 1X, 2X, 4X, 8X, ..., CD encoding equipment that can respond to gear change record of **** (2^n -th power), the clock synthesizer specifically therefore used, and the good variations

periphery means. It has the description at the point which constitutes 3X, 6X, 12X, ..., CD encoding equipment that made it possible to correspond to gear change record of $3 \times (2^{n\text{-th power}})$ **** from a gestalt of this 2nd operation, for example.

[0033] Drawing 6 is the functional block diagram showing an example of the gestalt of implementation of the 2nd of that important section configuration about the clock synthesizer which generates the clock used with CD encoding equipment of this invention. The sign in drawing is the same as that of drawing 1 , 111 shows 1/64 counting-down circuit, and 112 shows the 2nd variable divider.

[0034] Although the configuration also with the fundamental clock synthesizer shown in this drawing 6 is the same as that of previous drawing 1 , at this drawing 6 , dividing, i.e., the time of 6X encoding or the point which carries out dividing to 1/2, and generates the channel clock at the time of 3X encoding, changes [the frequency of the clock which VCO104 generates] this clock as it is to 1/1 with 2nd variable dividers 112 of the next step by the case of 6 times as much 25.9308MHz as a channel clock. In addition, in this case, since the input clock (the clock CLKIN of CD decoding system) is doubled 49/64, 1/64 counting-down circuit 111 is used instead of 1/48 counting-down circuit 101 of drawing 1 .

[0035] Therefore, in this drawing 6 , it is 3 times the channel clock, and the clock

of the 1st power of 2 will be generated, and the channel clock for 6X encoding will be generated. If this relation is generally expressed, the clock of one times the frequency of $[m \times (2^{n\text{-th power}})]$ of a channel clock will be generated. Here, m shows the integer of an except ($2^{n\text{-th power}}$), and n shows an integer. And in the case of drawing 6, it is $m=3$ and $n=1$. By constituting like this drawing 6, since channel clocks, such as $3 \times (2^{n\text{-th power}})$ **** encoding, are obtained, it becomes possible 6X other than **** ($2^{n\text{-th power}}$) encoding (for example, 3X), 12X, ..., to correspond to various kinds of gear change records other than the channel clock at the time of **** ($2^{n\text{-th power}}$) encoding stated with the gestalt of previous operation of the 1st.

[0036] Although the gestalt of operation of the 3rd of ***** of the 3rd operation supports invention of claim 4, it relates also to invention of claim 5. In CD-R / CD-E drive, although the light strategy at the time of disk writing is specified also to the Orange Book, since the reproducing characteristics after writing are not fully filled with the light strategy shown in the Orange Book, in actual equipment, amendment of still more detailed pulse width is needed. And in order to perform such detailed amendment, an external circuit is needed and it has become the cause of a cost rise. With the gestalt of this 3rd operation, in order to generate the channel clock which be needed during write-in actuation, it generate from the clock which use a clock twice the frequency of a channel clock in CD

decoding system circuit , and have the description at the point which amend light pulse width in pulse width between both the twice as many edges of the clock of a frequency as the generated channel clock .

[0037] Drawing 7 is the functional block diagram showing an example of the gestalt of that 3rd operation about the important section configuration of the clock synthesizer which generates the clock used with CD encoding equipment of this invention. The sign in drawing is the same as that of drawing 1 , and 121 shows 1/2 counting-down circuit.

[0038] Only VCO104 of previous drawing 1 and the surrounding configuration of a variable divider 105 are shown in this drawing 7 , and other configurations are the same as that of drawing 1 . Thus, if 1/2 counting-down circuit 121 which carries out $1 / 2$ dividing of the clock which generated the clock twice the frequency of the channel clock outputted to 1/2 counting-down circuit 121 by VCO104, and was generated by VCO104 is added, the channel clock of a frequency same like the case of previous drawing 1 as the frequency passed to a variable divider 105, i.e., the 34.5744MHz channel clock used at the time of 8X encoding, will be obtained.

[0039] Thus, if time amount from the standup of a channel clock to the next standup is set to 1T by constituting, an EFM signal can be shifted to arbitration per 0.25T by letting the shift register in which the clock part shift of arbitration is

possible pass with both the edges of the clock of the twice as many frequency generated by this VCO104 in the EFM signal generated with the 1 chip LSI of drawing 2 and drawing 3 as this. therefore, a shift register -- the interior of two lines -- preparing -- the output of these two shift registers -- and processing -- or -- or the thing to process -- the shift of an EFM signal -- in addition, it becomes possible to perform pulse width amendment.

[0040] Drawing 8 is the block diagram showing an example of the pulse width amendment circuit in the gestalt of the 3rd operation about CD encoding equipment of this invention. In drawing, in 131, the 2nd shift register and 133 show an AND gate circuit, and, as for the 1st shift register and 132, 134 shows an AOGETO circuit.

[0041] Drawing 9 is a timing diagram explaining actuation of the pulse width amendment circuit shown in drawing 8 .

[0042] Two shift registers shown in previous drawing 8 , i.e., the 1st shift register 131 and 2nd shift register 132, are the standup of a clock twice the frequency of the channel clock inputted, and falling, and they shift an EFM signal and output it to the AND gate circuit 133. In addition, an output will be obtained if the AOGETO circuit 134 is added instead of the AND gate circuit 133. then, the pulse (0.25 T_{xa} delay) outputted from the 1st shift register 131 as shown in the timing diagram of drawing 9 and the pulse (0.25 T_{xb} delay) outputted from the

2nd shift register 132 -- and if it processes, like an AND output, a small pulse will be outputted compared with an EFM signal, and amendment of pulse width will be performed. Moreover, if Orr processing is carried out, compared with an EFM signal, a large pulse will be acquired like OR output.

[0043] Therefore, fine amendment of light strategy is attained. That is, CD-R / CD-E drive of a good light property can be constituted like before, without [without it uses an external circuit, and] increasing the burden of CPU. In addition, although VCO104 showed the case where a clock twice the frequency of a channel clock was generated, in previous drawing 8 , if a 4X clock, a 8X clock, and and a quick clock are generated further, it cannot be overemphasized that much more detailed amendment is possible.

[0044] The gestalt of operation of the 4th of ***** of the 4th operation supports invention of claim 5. The gestalt of previous operation of the 3rd explained the case where the shift action of a pulse and amendment of pulse width were performed. If such CD encoding equipment is used, fine amendment of light pulse width is possible. However, in order to satisfy the reproducing characteristics after writing to actual drive equipment, amendment of both directions is required to the light pulse specified to the Orange Book. That is, the light strategy which performed amendment which doubled the strategy adjusted in the direction of power determined in the height of a pulse and the strategy

adjusted in the pulse width direction is needed.

[0045] Drawing 10 is drawing which explains amendment actuation of the light pulse by the gestalt of the 4th operation about CD encoding equipment of this invention. In drawing, arrow-head ** and ** show the amendment direction.

[0046] As shown in this drawing 10 , the actually used light pulse needs the amendment of a longitudinal direction shown by arrow-head **, and amendment of the vertical direction shown by arrow-head **. And amendment of the direction of arrow-head ** is performed by the laser controller 9 of previous drawing 24 .

[0047] Drawing 11 is the block diagram showing the circuitry of the laser controller 9 circumference by the gestalt of the 4th operation about CD encoding equipment of this invention. In drawing, LD shows laser and the EFM signal with which pulse width amendment of EFM1 and EFM2 was carried out.

[0048] Drawing 12 is a timing diagram for explaining the drive condition of the laser shown in drawing 11 .

[0049] As shown in previous drawing 11 , about the laser controller 9, the input of two or more signals EFM1 and EFM2 is possible. In addition, current gain is adjustable to each EFM signal, and the 1 chip LSI which can add those currents is the configuration shown in previous drawing 2 and previous drawing 3 . With the gestalt of this 4th operation, two pulse width amendment blocks explained with the gestalt of previous operation of the 3rd are established, and it has the

description at the point which enabled the output of the EFM signal (henceforth a signal EFM1 and a signal EFM2) which amended pulse width, respectively. Here, the strategy of a signal EFM1 EFM1, i.e., the signal given to the laser controller 9 of drawing 11 , is explained.

[0050] Drawing 13 is a timing diagram for explaining the CD-R strategy of a signal EFM1.

[0051] As shown in this drawing 13 , the die length of a signal EFM1 is $0.25T$ unit, and can be set up in the range of $-(n-0.5T)$ nT . Next, the strategy of a signal EFM2 is explained.

[0052] Drawing 14 is a timing diagram for explaining the CD-R strategy of a signal EFM2.

[0053] As shown in this drawing 14 , corresponding to $3T/4T$, and others of the internal signal EFM, the peak pulse width of a signal EFM2 is $0.25T$ unit separately, and can be set up in $0.5T-2T$, respectively. Such a setup is the functional block diagram shown in previous drawing 4 , and the strategy of an internal EFM signal is changed by the strategy transducer 41, and it is outputted to the terminal EFM1 or terminal EFM2.

[0054] Drawing 15 is drawing showing an example of a signal setup outputted to a terminal EFM1 and a terminal EFM2 by strategy conversion of an internal EFM signal, and is (1). Strategy conversion for a terminal EFM1, a setup of the peak

pulse width to a terminal EFM2, and (2) The die length of a signal EFM1, and (3)

The peak pulse width of a signal EFM2 is shown.

[0055] Drawing 16 is drawing showing an example of the peak pulse width outputted to a terminal EFM2 by strategy conversion of an internal EFM signal.

(1) A setup of the peak pulse width to 4 T pulses and pulses 3T / other than 4T, and (2) The peak pulse width and (3) which are outputted to a terminal EFM2 when signal EFM width of face is 4T When signal EFM width of face is 5T-11T, the peak pulse width outputted to a terminal EFM2 is shown.

[0056] As shown in this drawing 15 and drawing 6 , the die length of a signal EFM1 and the peak pulse width of a signal EFM2 can be set as arbitration by strategy conversion of an internal EFM signal. In order to perform such a setup, five 8-bit things are prepared and the register is arranged from the address 0x70 from 0x71 and 0x77 to 0x79 (0x are the semantics of a hexadecimal notation).

[0057] These two signals EFM1 and EFM2 can be amended independently. These two signals EFM1 and EFM2 [EFM1 and] EFM2, i.e., two control signals for light strategies, are given to the laser controller 9 of previous drawing 24 , and laser is made to drive so that a light pulse as shown in previous drawing 12 may be acquired. Such amendment is realized by the circuit of drawing 8 explained with the gestalt of previous operation of the 3rd. Therefore, according to the gestalt of this 4th operation, it becomes possible to offer the equipment

with which a better write-in property is acquired in addition to the effectiveness by the gestalt of previous operation of the 3rd.

[0058] The gestalt of operation of the 5th of ***** of the 5th operation supports invention of claim 6. As for a CD-E drive, more complicated light strategy is required compared with a CD-R drive. Therefore, in actual equipment, in order to satisfy the reproducing characteristics after writing, it is necessary to amend still more minutely the light strategy explained with the gestalt of previous operation of the 4th. The gestalt of previous operation of the 4th explained the circuit which generates two control signals EFM1 and EFM2 for light strategies. With the gestalt of this 5th operation, still more detailed amendment is performed about these two control signals EFM1 and EFM2 for light strategies.

[0059] Drawing 17 is the block diagram showing an example of the pulse width amendment means by the gestalt of the 5th operation about CD encoding equipment of this invention. drawing -- setting -- 141 -- a variable divider and 142 -- the 1st pulse width amendment circuit and 143 -- the pulse width amendment circuit of the 2nd **, and 144 -- in the 3rd pulse width amendment circuit and 145, an AOGETO circuit and 149 show a laser controller and, as for an inverter and 146, 150 shows laser, as for an AND gate circuit, and 147 and 148.

[0060] Drawing 18 is a timing diagram explaining actuation of the pulse width amendment means shown in drawing 17 .

[0061] By the pulse width amendment means shown in previous drawing 17 , a signal EFM2 has width-of-face amendment possible for peak pulse width at 0.25T unit. Moreover, as it was generated by the pulse forming network the middle, the pulse of width-of-face amendment is possible for the pulse width at 0.25T unit similarly. Next, similarly a signal EFM1 has width-of-face amendment possible for off pulse width at 0.25T unit by the pulse width amendment means.

[0062] Drawing 19 is a timing diagram explaining the generation condition of the control signals EFM1 and EFM2 for light strategies, when an internal EFM signal is 5T.

[0063] As shown in this drawing 19 in detail, when an internal EFM signal is 5T, the width of face of a pulse and an off-pulse can be set as 0.25T unit in the middle of a signal EFM1. The width of face of a pulse can be similarly set as 0.25T unit in the middle of the peak pulse of a signal EFM2. Thus, if the generated control signal EFM1 for light strategies is inputted into the control signal of IRESU power and a signal EFM2 is inputted into the laser controller 149 as a control signal of light power, as shown in the method of the lowest of drawing 18 , the complicated light wave demanded by CD-E drive will be acquired.

[0064] Drawing 20 is drawing showing an example of the internal structure about the laser controller 149 shown in drawing 17 .

[0065] In the laser controller 149 shown in this drawing 20 , if resistance of the driver controlled by the control signal EFM1 for light strategies is adjusted so that it may become IRESU power, and resistance of the driver controlled by the signal EFM2 is adjusted so that it may become (peak power) - (IRESU power), the current of the value to which the output current of each driver was added will be impressed to laser 150.

[0066] Next, the strategy of signals EFM1 and EFM2 is explained.

[0067] Drawing 21 is drawing showing an example of a setup of the peak pulse width outputted by strategy conversion, intermediate pulse width, and OFF pulse width when internal EFM signal width of face is 3T, and is (1). A setup of peak pulse width, intermediate pulse width, and OFF pulse width, and (2) Peak pulse width and (3) Intermediate pulse width and (4) OFF pulse width is shown.

[0068] Drawing 22 is drawing showing an example of the peak pulse width outputted by strategy conversion, intermediate pulse width, and OFF pulse width when internal EFM signal width of face is 4T, and is (1). A setup of peak pulse width, intermediate pulse width, and OFF pulse width, and (2) Peak pulse width and (3) Intermediate pulse width and (4) OFF pulse width is shown.

[0069] Drawing 23 is drawing showing an example of the peak pulse width outputted by strategy conversion, intermediate pulse width, and OFF pulse width when internal EFM signal width of face is 5T-11T, and is (1). A setup of peak

pulse width, intermediate pulse width, and OFF pulse width, and (2) Peak pulse width and (3) Intermediate pulse width and (4) OFF pulse width is shown.

[0070] As shown in drawing 23 from this drawing 21 , the range of internal EFM signal width of face is $0.25T$ to $1.5T$, respectively at the time of $3T$, $4T$, $5T$ - $11T$, and peak pulse width, intermediate pulse width, and OFF pulse width can be set as $0.25T$ unit. As mentioned above, according to the gestalt of this 5th operation, still more detailed amendment can be performed about these two control signals EFM1 and EFM2 for light strategies.

[0071]

[Effect of the Invention] With CD encoding equipment of the optical disk of claim 1, the clock synthesizer which increases M/N time CD encoding system clock, the n -th power twice of the 2, or the clock of a twice as many $1/(2^{n\text{-th power}})$ frequency as this, and generates the channel clock which is needed during buffer memory write-in actuation is prepared. Therefore, by CD decoding system and CD encoding system, it becomes possible to constitute from a common oscillation component, and much more low cost-ization is realized.

[0072] With CD encoding equipment of claim 2, the clock synthesizer which generates a clock twice [of $2 / n\text{-th power}$] the frequency of the channel clock which is needed during write-in actuation from the clock used in CD encoding system circuit, and the dividing means which carries out dividing of the clock

twice [n -th power] the frequency of 2 generated to several steps are established. Therefore, it becomes possible with an easy configuration 1X, 2X, 4X, 8X,, to correspond to gear change record of **** (2 n -th power).

[0073] CD encoding equipment of claim 3 is equipped with the clock synthesizer which generates the clock of the frequency of [$m \times (\text{twice [} n\text{-th power] } 2)$] of the channel clock which is needed during write-in actuation from the clock used in CD encoding system circuit, and the dividing means which carries out dividing of the clock of the frequency of generated [$m \times (\text{twice [} n\text{-th power] } 2)$] to several steps. It follows, for example, it becomes possible 3X, 6X, 12X,, to correspond to gear change record of $3 \times (2 \text{ } n\text{-th power})$ ****.

[0074] With CD encoding equipment of claim 4, it has the clock synthesizer which generates a twice as many clock as the channel clock which is needed during write-in actuation from the clock used in CD encoding system circuit, and the pulse width amendment circuit which amends light pulse width in pulse width between both the edges of the generated twice as many clock as this. Therefore, it becomes possible to omit the external circuit for the detailed amendment to the light strategy of the Orange Book needed conventionally, and the equipment of low cost is realized with an easy configuration.

[0075] With CD encoding equipment of claim 5, it had two or more outputs of the control signal for light strategies, and amendment of the pulse output width of

face of each control signal is possible independently of mutual in both edge spacing pulse width of a clock twice the frequency of a channel clock, and has prepared two or more clock synthesizers which can respond to gear change record and pulse width amendment circuits. Therefore, it becomes possible to omit the external circuit for the detailed amendment to the light strategy of the Orange Book needed conventionally like CD encoding equipment of previous claim 4, and while the equipment of low cost is realized, the equipment with which a better write-in property is acquired can consist of easy configurations.

[0076] With CD encoding equipment of claim 6, it has two or more outputs of the control signal for light strategies, and the pulse output width of face of each control signal can be amended in both edge spacing pulse width of a clock twice the frequency of a channel clock. Two or more generation of a pulse is possible in the middle of the generated pulse, and the pulse width of a pulse could be amended in both edge spacing pulse width of a clock twice the frequency of a channel clock in the middle of this, and it has two or more clock synthesizers which can respond to gear change record and pulse width amendment circuits. Therefore, CD-R / CD-E drive which has a better write-in property are obtained, without applying a burden to processing of CPU, while becoming possible to omit the external circuit for the detailed amendment to the light strategy of the Orange Book needed conventionally like CD encoding equipment of previous

claim 4 and realizing the equipment of low cost with an easy configuration.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the functional block diagram showing an example of the gestalt of operation about the important section of the clock synthesizer which generates the clock used with CD encoding equipment of this invention.

[Drawing 2] It is the functional block diagram showing an example of the important section configuration about the 1 chip LSI which has an EFM encoding function and CD-ROM encoding / decoding function.

[Drawing 3] It is the functional block diagram showing an example of the important section configuration about the 1 chip LSI which has an EFM encoding

function and CD-ROM encoding / decoding function.

[Drawing 4] It is the functional block diagram showing an example of the important section configuration about the CD encoder 10 shown in drawing 2 , a clock generator 21, and the part relevant to a clock synthesizer 22.

[Drawing 5] It is drawing showing the contents of the interface signal of each pin in CD encoding equipment shown in drawing 4 .

[Drawing 6] It is the functional block diagram showing an example of the gestalt of implementation of the 2nd of that important section configuration about the clock synthesizer which generates the clock used with CD encoding equipment of this invention.

[Drawing 7] It is the functional block diagram showing an example of the gestalt of that 3rd operation about the important section configuration of the clock synthesizer which generates the clock used with CD encoding equipment of this invention.

[Drawing 8] It is the block diagram showing an example of the pulse width amendment circuit in the gestalt of the 3rd operation about CD encoding equipment of this invention.

[Drawing 9] It is a timing diagram explaining actuation of the pulse width amendment circuit shown in drawing 8 .

[Drawing 10] It is drawing which explains amendment actuation of the light pulse

by the gestalt of the 4th operation about CD encoding equipment of this invention.

[Drawing 11] It is the block diagram showing the circuitry of the laser controller 9 circumference by the gestalt of the 4th operation about CD encoding equipment of this invention.

[Drawing 12] It is a timing diagram for explaining the drive condition of the laser shown in drawing 11 .

[Drawing 13] It is a timing diagram for explaining CD-R strategy about a signal EFM1.

[Drawing 14] It is a timing diagram for explaining CD-R strategy about a signal EFM2.

[Drawing 15] It is drawing showing an example of a signal setup outputted to a terminal EFM1 and a terminal EFM2 by strategy conversion of an internal EFM signal.

[Drawing 16] It is drawing showing an example of the peak pulse width outputted to a terminal EFM2 by strategy conversion of an internal EFM signal.

[Drawing 17] It is the block diagram showing an example of the pulse width amendment means by the gestalt of the 5th operation about CD encoding equipment of this invention.

[Drawing 18] It is a timing diagram explaining actuation of the pulse width

amendment means shown in drawing 17 .

[Drawing 19] When an internal EFM signal is 5T, it is a timing diagram explaining the generation condition of the control signals EFM1 and EFM2 for light strategies.

[Drawing 20] It is drawing showing an example of the internal structure about the laser controller 149 shown in drawing 17 .

[Drawing 21] When internal EFM signal width of face is 3T, it is drawing showing an example of a setup of the peak pulse width outputted by strategy conversion, intermediate pulse width, and OFF pulse width.

[Drawing 22] When internal EFM signal width of face is 4T, it is drawing showing an example of the peak pulse width outputted by strategy conversion, intermediate pulse width, and OFF pulse width.

[Drawing 23] When internal EFM signal width of face is 5T-11T, it is drawing showing an example of the peak pulse width outputted by strategy conversion, intermediate pulse width, and OFF pulse width.

[Drawing 24] It is the functional block diagram showing an example of the important section configuration about an optical disk drive.

[Description of Notations]

101 [-- VCO, 105 / -- Variable divider] -- 1/48 counting-down circuit, 102 -- 1/49 counting-down circuit, 103 -- PD, 104